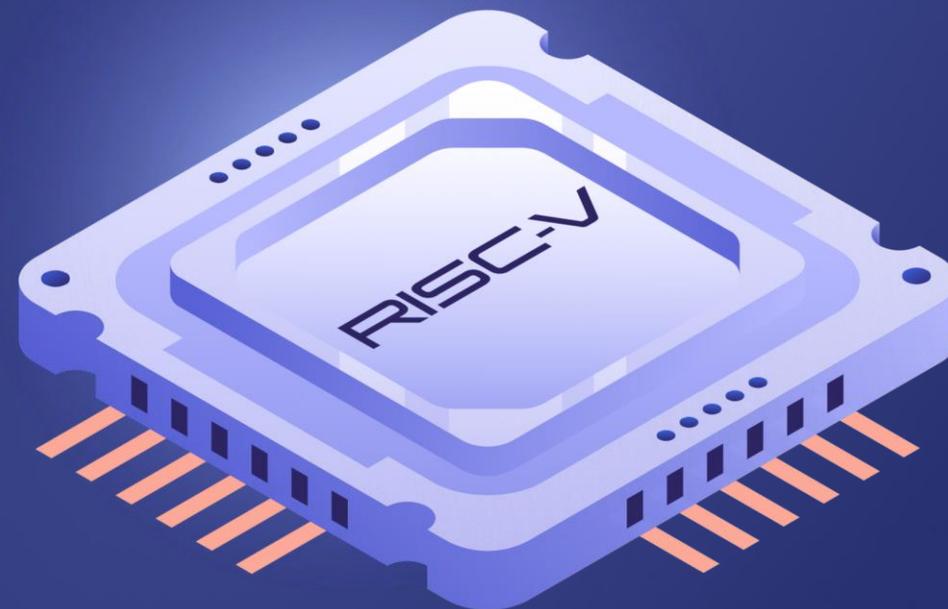


Альянс RISC-V

**Первый митап
Российского
Альянса RISC-V**



15 апреля 2024 г.

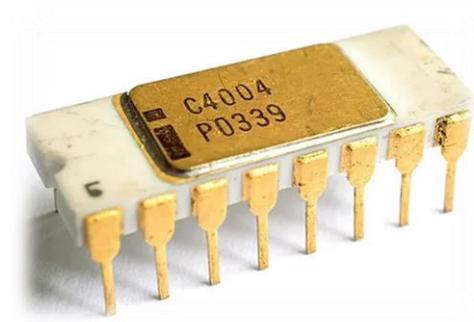


Якушкин Сергей

- Руководитель технологического комитета национального Альянса RISC-V
- Представитель Syntacore в управляющем комитете RISC-V International
- Выпускник кафедры системного программирования СПбГУ (А.Н. Терехова)
- Разработка компиляторов, средств моделирования и проектирования микроконтроллеров и микропроцессоров
- Директор по разработке программного обеспечения

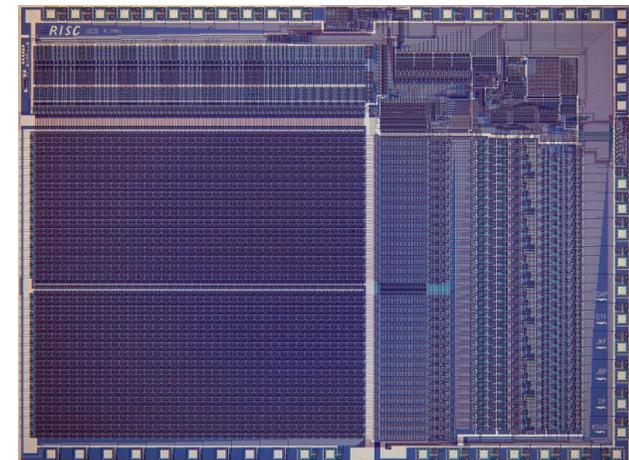
Первая архитектура Complex Instruction Set Computer (CISC)

- Команды реализуют сложные операции
- **Intel 4004** (1971) – первый микропроцессор
 - создан для калькулятора
 - выделенный аккумулятор
 - 40+ команд
 - Десятичная арифметика
 - Нет деления и умножения
- **Intel 8086** (1978)
 - Несколько регистров
 - 81 сложных команд
 - 100,000,000 PC продаж
 - Бинарная SW
 - совместимость



Появление Reduced Instruction Set Computer (RISC)

- RISC-I (1982) – первая реализация в Berkley University, D. Patterson (начальные идеи проекта IBM 801)
- Сокращенный набор команд
 - скомпилированные программы используют небольшое подмножество команд
 - сложные команды используются редко, их можно заменить на несколько простых
 - упрощает аппаратное декодирование команд
 - улучшает работу конвейера команд
 - дополнительные возможности оптимизации кода в компиляторе



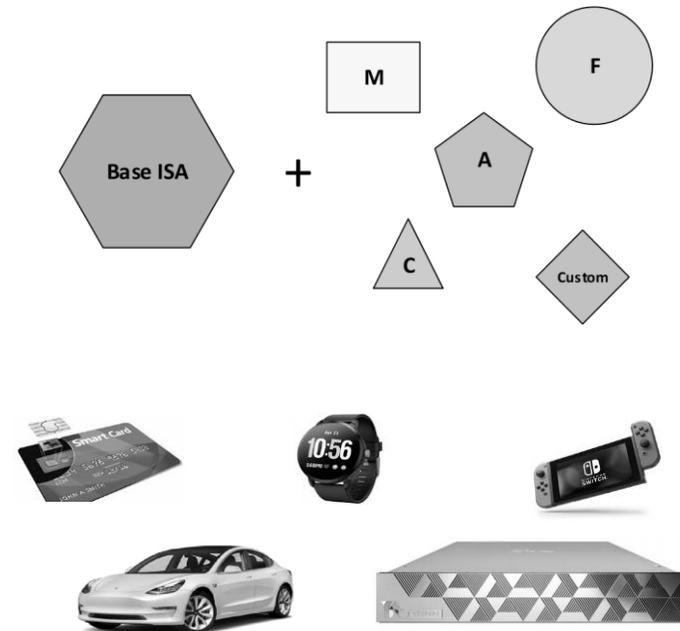
Пятое поколение: RISC-V (2011)

30 лет опыта развития RISC процессоров и программного обеспечения

Свободная и открытая процессорная архитектура

Возможности специализации

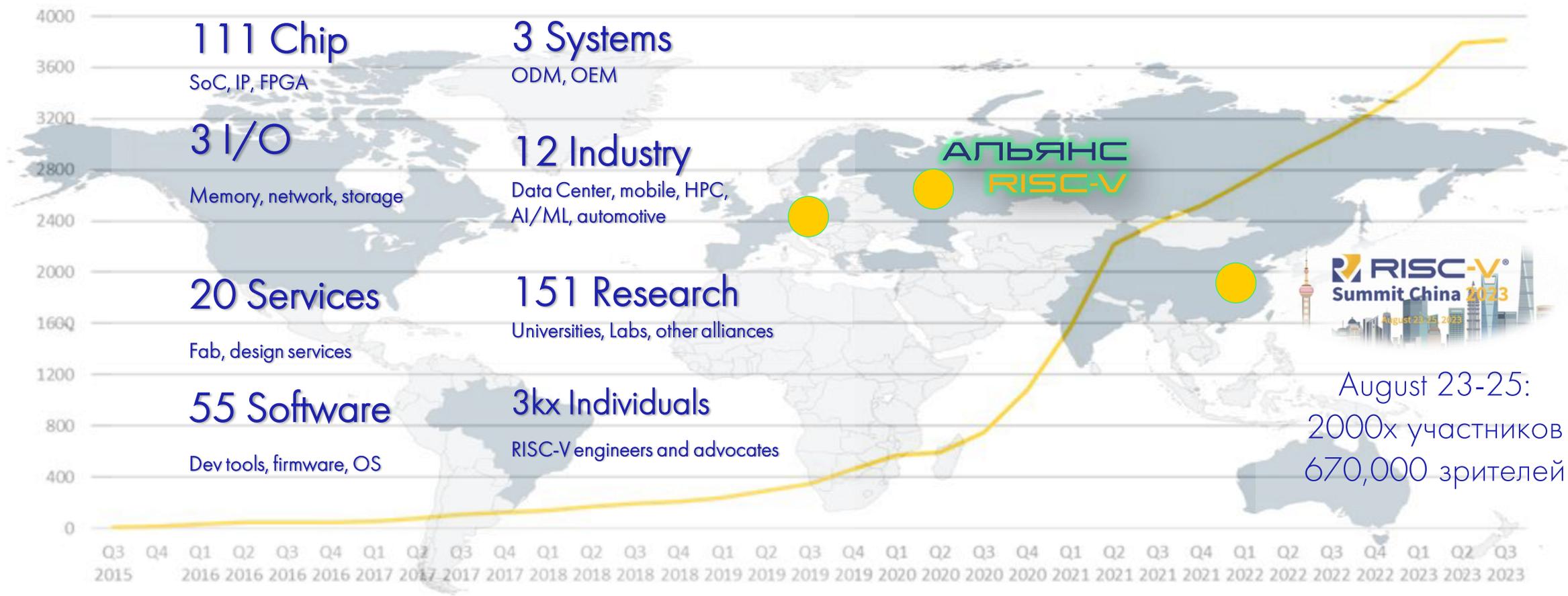
Универсальность — от смарт-карт до высокопроизводительных серверов



Факторы успеха: большое открытое сообщество

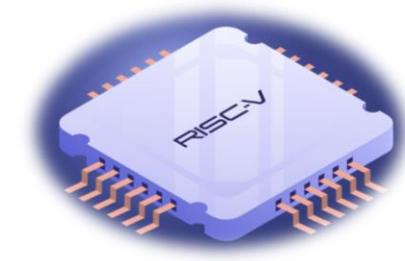
Более 4000 участников из более 70 стран

Сильные региональные сообщества в Китае, Индии, Европе, России <https://riscv-alliance.ru>

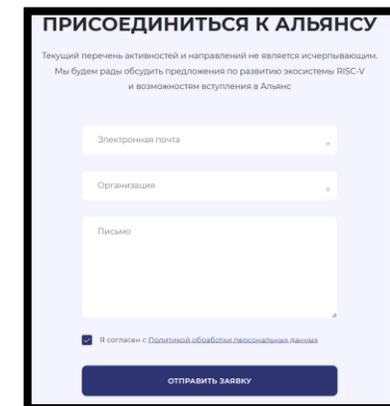


RISC-V Альянс

- Объединение разработчиков вычислительной техники и программного обеспечения на основе архитектуры RISC-V
- Развитие сообщества разработчиков
 - участие в фундаментальных исследованиях
 - развитие российской экосистемы RISC-V
- Проекты: обучающие курсы, митапы, аналитика, платы
- Новые университеты и компании активно присоединяются



<https://riscv-alliance.ru>



ПРИСОЕДИНИТЬСЯ К АЛЬЯНСУ

Текущий перечень активностей и направлений не является исчерпывающим.
Мы будем рады обсудить предложения по развитию экосистемы RISC-V
и возможностям вступления в Альянс.

Электронная почта

Организация

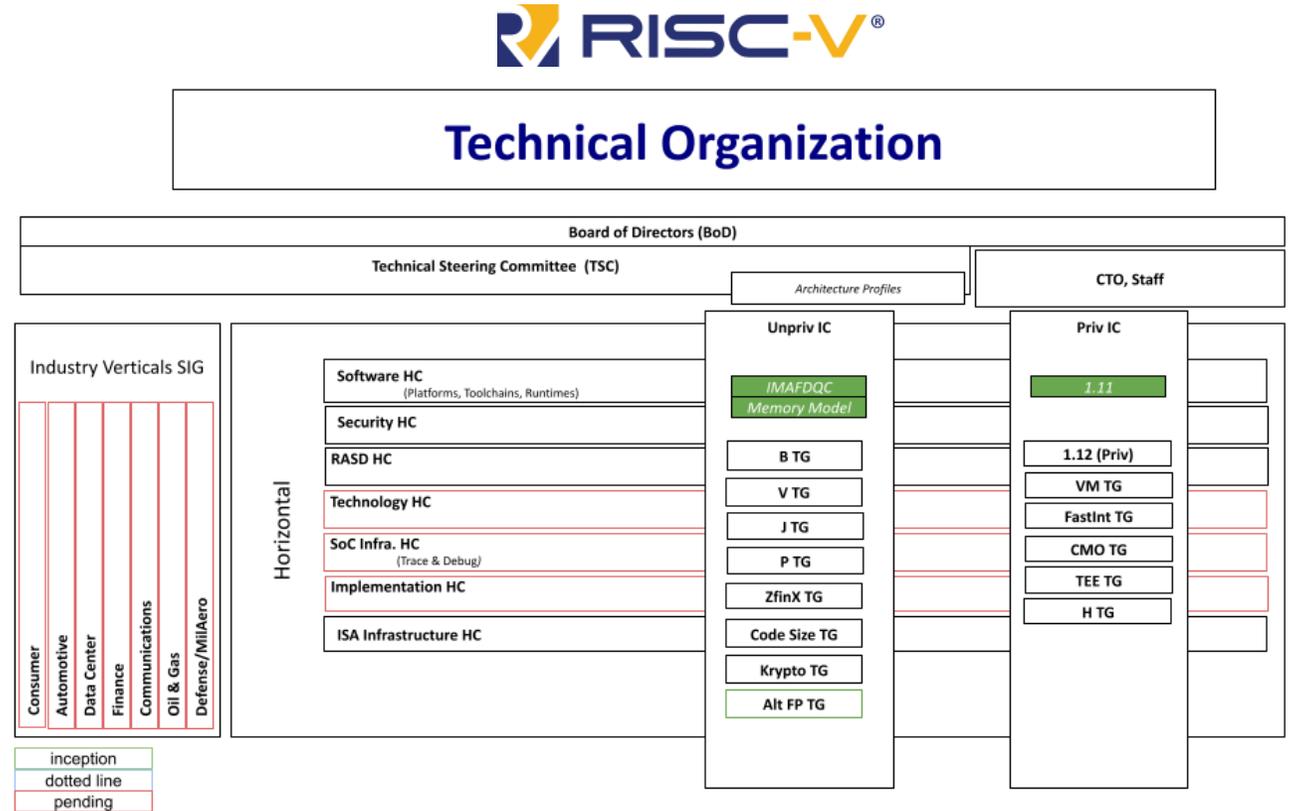
Письмо

Я согласен с Политикой обработки персональных данных

ОТПРАВИТЬ ЗАЯВКУ

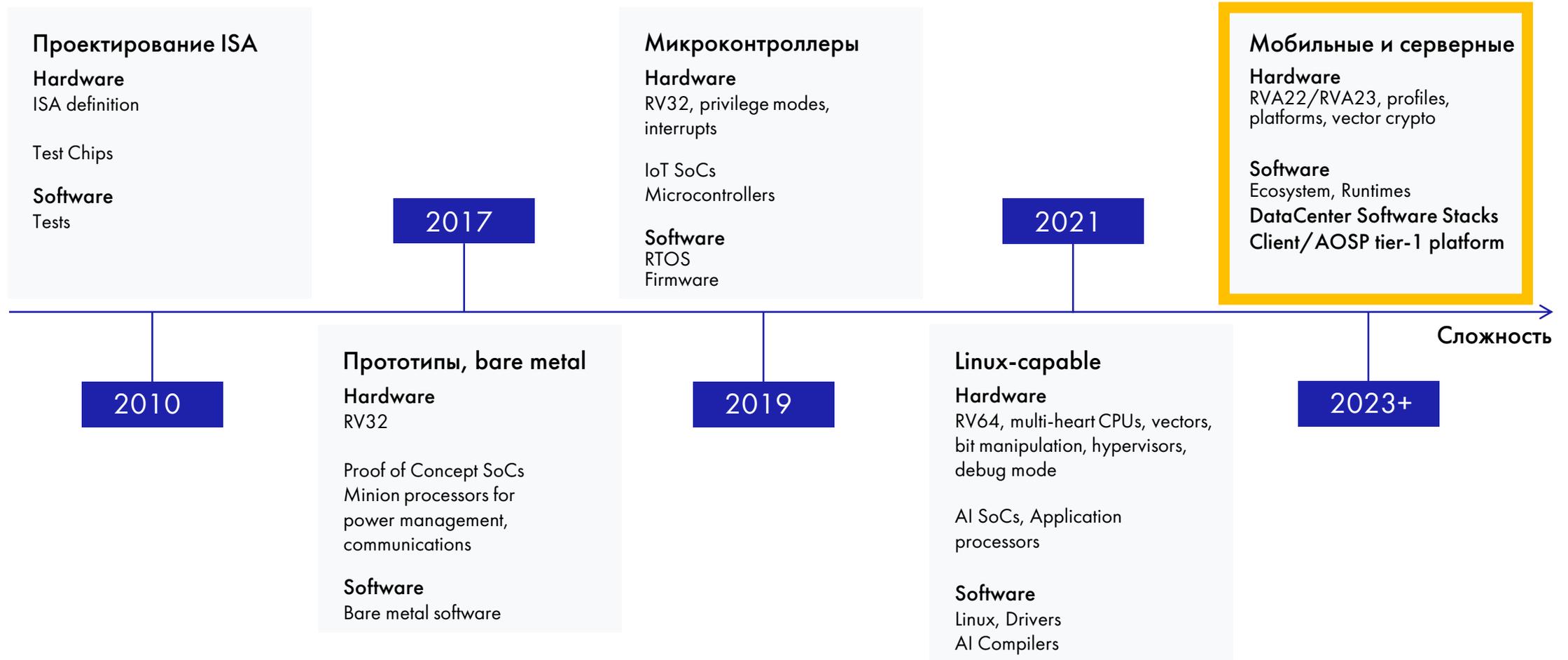
Факторы успеха: кооперация лучших экспертов

- Более 50 технических групп
- Лучшие эксперты в мире в своих областях совместно создают новые стандарты
- Ведущие архитекторы проектируют RISC-V в коммерческих компаниях
 - разработчики Apple M1
 - разработчики AMD серверов



<https://wiki.riscv.org>

Этапы развития RISC-V и продукты



Внедрено в микроконтроллеры и IoT продукты

Производители активно заменяют проприетарные процессоры на RISC-V

- стоимость
- расширяемость и производительность

Доступны коммерческие и open-source RISC-V MCU, в том числе российские

Развитые стандарты, экосистема и доступные инструменты

Продолжается развитие (например, P-ext)



Каждый смартфон Pixel 6
содержит чип
безопасности Titan M2



Alipay

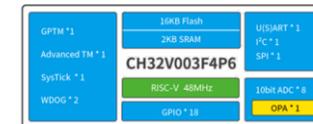
Alibaba T-Head и Alipay
анонсировали выпуск
процессоров для
платёжных терминалов



Беспроводная СнК ESP32-
С6 с поддержкой Wi-Fi 6 и
Bluetooth 5.0



China Mobile
представила первую в
мире **СнК LTE Cat.1**



Микроконтроллер CH32V003 с
16КБ FLASH от WCH, 2КБ
SRAM за **10 центов**

Первые мобильные устройства и ноутбуки на RISC-V



Официальные продажи
DC-ROMA – первого
ноутбука на
процессора RISC-V



Прототип планшета
LicheePad4A с Android
(AOSP) демонстрировался на
RISC-V China Summit

Первые серверные продукты RISC-V

- Появляются первые серверные продуктовые решения (10Gb switch)
- Исследовательский кластер с 6000+ RISC-V ядер
- Прототипы с лучшим соотношением Perf/Watt (\$) чем x86/ARM
- Активное развитие экосистемы, программного обеспечения и стандартов



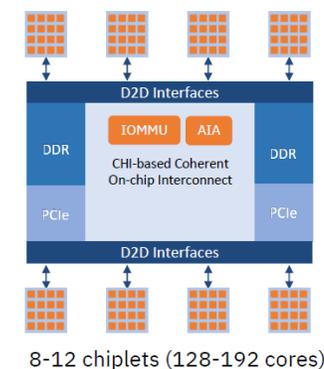
Серверный RISC-V процессор SG2042 – 64 hiperf ядер, 64МБ кэш памяти, 2 ГГц тактовая частота

2048 cores
32T flops
8 X HS-S1 Server



PerfXLab

Сервер от Sophgo – 8x2U server 1024 ядер, KVM, Switch на базе RISC-V процессора SG2042



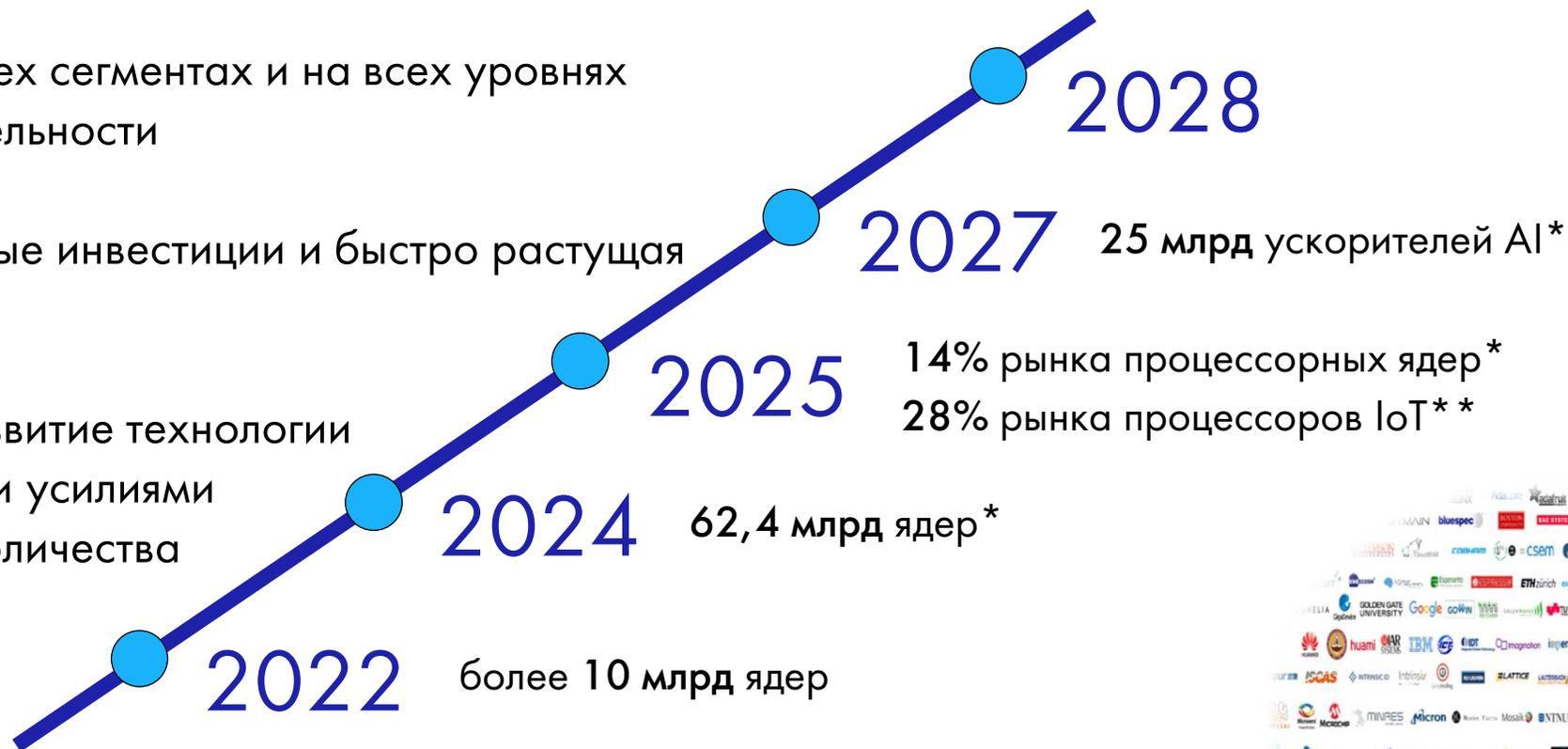
Veyron V1/V2 процессоры от Ventana Micro для Automotive, 5G Open RAN, AI и Data Center

RISC-V неизбежен

- Спрос во всех сегментах и на всех уровнях производительности

- Существенные инвестиции и быстро растущая экосистема

- Быстрое развитие технологии совместными усилиями большого количества экспертов



* Semico Research, December 2021

** Counterpoint Technology Market Research, September 2021

*** Omdia Research, May 2023

Сегодня поговорим

1. Готовность экосистемы: Обзор поддержки RISC-V в Linux
2. Новые стандарты для встроенных применений: расширения для алгоритмов цифровой обработки сигналов
3. Новые стандарты для высокопроизводительных применений: матричные расширения
4. Новые продукты: анализ первых доступных серверов