

# FPGA - это не только FPGA

Юрий Панчул, 1 июня 2024, конференция FPGA-Systems 2024.1

# О докладчике



- Микроархитектор и разработчик RTL в Juniper и Samsung
- Верификатор блоков CPU в MIPS и Imagination
- Соавтор программы Школы синтеза цифровых схем
- Основатель стартапа в области EDA

# Видение из 1994 года что будет в 2000 году

- Реконфигурируемый суперкомпьютер из FPGA
- На арсениде галлия
- Частота 500 MHz
- $10^{15}$  операций в секунду
- С оптическими соединениями
- Ячейки с дефектами обходятся
- Недорогой, всего за полмиллиона долларов

## MRL COMPUTERS TURN ALGORITHMS INTO HARDWARE

**W**hen adding processors to massively parallel processing (MPP) systems, there is never a time when, by doubling the number of processors, you more than double the throughput of the system. That is loosely known as Amdahl's law or (if there is a 1:1 speedup) the law of perfect speedup.

A computer architecture that could violate that law would be more than "perfect"—the computer-science equivalent of breaking the speed-of-light barrier in physics. Yet there is an architecture that does precisely that: massively reconfigurable logic (MRL).

An MRL computer can reconfigure its internal logic completely, in real-time, to implement an algorithm in hardware. It does so via field-programmable gate arrays. Downloading a file to the FPGAs rearranges the logic and routing resources inside to implement a hardware design.

The Supercomputing Research Center (SRC, Bowie, Md.) has already used the technique to build a machine that outperforms the Cray 2 by 330 times, operating on DNA-sequence comparisons.

Our version of an MRL computer, the Virtual Computer, is a single-board desktop machine with more than 500,000 gates of reconfigurable logic.

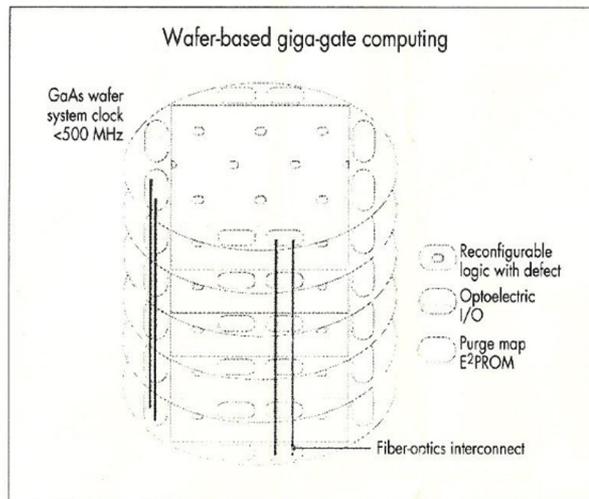
Since MRL systems use com-

mercial, off-the-shelf parts, they are cheap, at \$125,000. And with no moving parts, they can be offered with multiyear guarantees and reasonable repair cost estimates after that.

If a single transistor goes bad in a microprocessor, the whole chip is bad. In an MRL system, by contrast, a bad spot can be marked as not usable, much as in a hard disk's purge map. That will lead to the first efficient use of wafer-scale integration in which every wafer can be used.

Supercomputers in the year 2000 will be more open, more versatile and more reconfigurable than anyone can imagine at this time. Our vision for the future of computing is MRL-based Virtual Computers capable of  $10^{15}$  operations/second at a cost of under \$500,000.

—By Steven Casselman, president, Virtual Computer Corp. (Redwood, Calif.).



[Из презентации Стива Касселмана](#), создателя FPGA платы для военно-морского флота США в 1991 году

# Как FPGA представляли широкой публике в 1997 году

“Микрочип, который перепаяивает (rewires) себя”

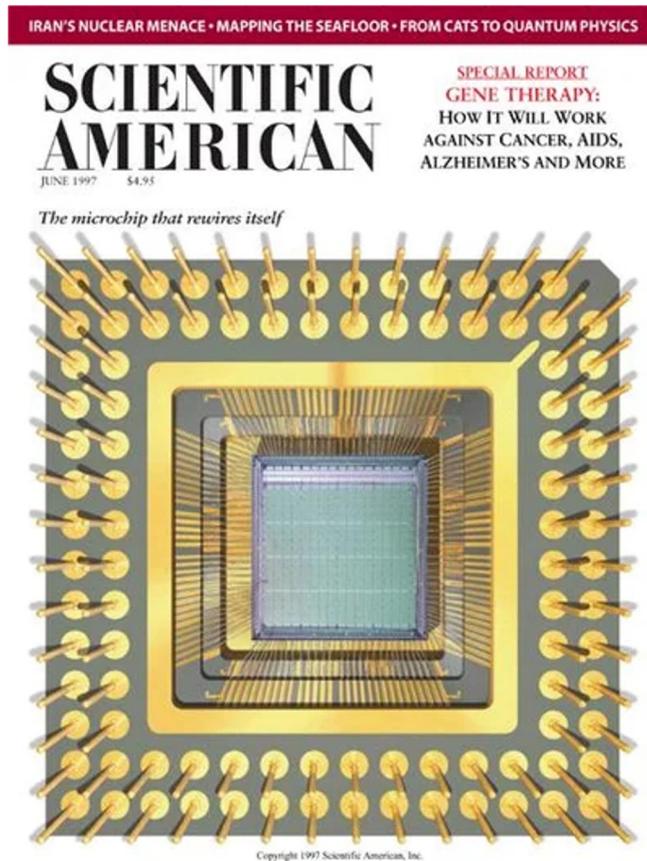
Предлагаемые приложения:

- Распознавание лиц, рукописного текста и военных целей
- Ускорение баз данных
- Шифрование
- Микропроцессор с изменяемыми командами, dynamic instruction set computer (DISC)
- FPGA сопроцессор

Обсуждалась идея частичной конфигурации на лету, во время выполнения алгоритма

- Маркетировалось как достоинство Xilinx XC6200 в то время.

Упоминалась поддержка разработок FPGA от DARPA



# План “будет сплошное FPGA” не сбился, но

- FPGA сохранились в нишах, в которых процессор не тянет, но делать специализированный ASIC непрактично, например:
  - Данные нужно принимать каждый такт (микроконтроллер не может)
  - Требуется гарантия времени реакции (а латентности CPU не гарантированы)
  - Дизайн нужно менять часто (перевыпустить ASIC нерально)
  - Параллелизм в FPGA компенсирует их более низкую тактовую частоту
- FPGA применяются в прототипировании и отладке ASIC
- И в образовании будущих разработчиков ASIC
  - Тренировать только на RTL симуляторе недостаточно, у студентов нужно выработать интуицию про синтезируемость и задержки внутри такта

# Естественные ниши

- Где нужно “склеить” шины, glue logic, I/O expander
  - Пример: космический корабль, который использует сеть из микроконтроллеров, сенсоров, актуаторов и склеивающих все вместе FPGA
- Где данные нужно принимать каждый такт, но тиража изделия недостаточно, чтобы ASIC имел смысл
  - Связь, например SDR - Software Defined Radio
  - Высокоскоростные интерфейсы, например LVDS и MIPI для камер и дисплеев
  - Звук, видео, шифрование в реальном времени
- Где требуется гарантия времени реакции
  - Управление двигателями
- Где дизайн нужно менять часто
  - Высокочастотный трейдинг



# Прототипирование ASIC-ов на FPGA платах

Разрабатываем CPU

Простые тесты в тысячу инструкций можно запускать на RTL симуляторе

Но симуляция старта Линукса на нем займет дни (не путать с QEMU уровне инструкций)

Выход - синтезируем для FPGA

Не гигагерцы, а мегагерцы, но требует часы, а не дни



# Прототипирование на стероидах - эмуляторы

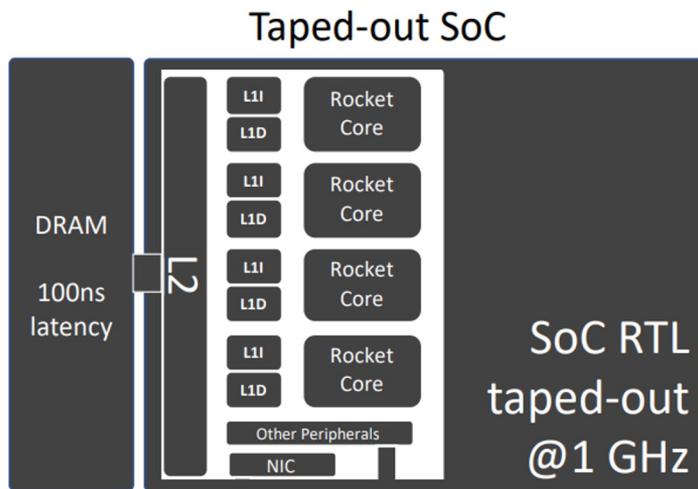
- Уточнение термина: эмулятор - не симулятор
- Та же цель, что и платы прототипирования, но больше средств отладки
- Есть как на основе FPGA, так и на основе ASIC специальной архитектуры, похожей на VLIW
- Упор на скорость компиляции, а не тайминг, как в FPGA синтезе
- Много технологий для разбиения дизайна на куски (partitioning) и оптимизации интерфейсов между FPGA, в частности LVDS



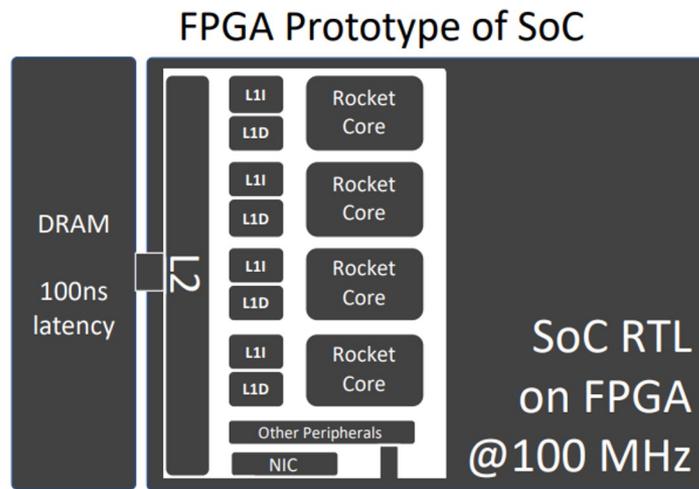
# Проблема реалистичной латентности в эмуляторах



## What about FPGA prototyping?



SoC sees 100 cycle DRAM latency

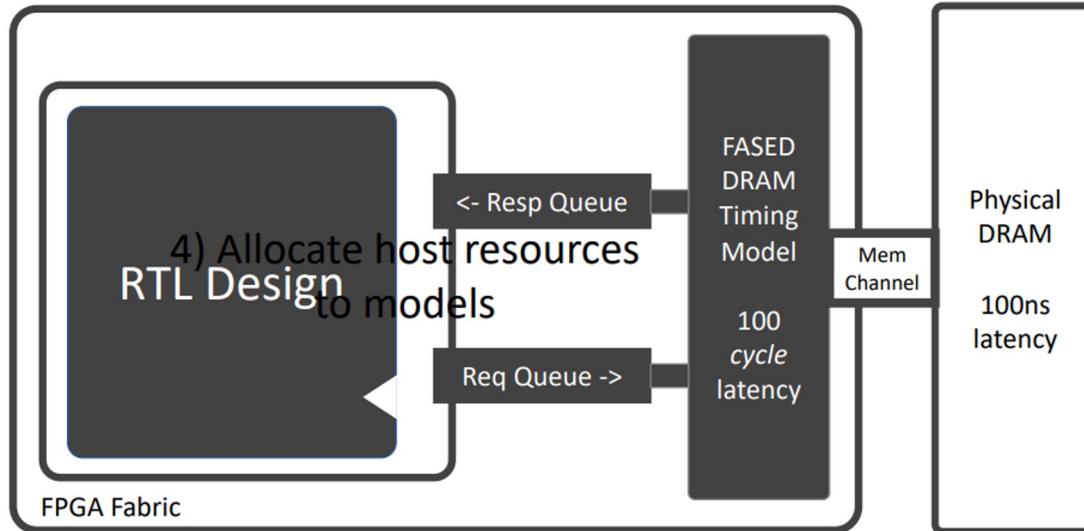


SoC sees 10 cycle DRAM latency  
***Incorrect by a factor of 10!***

# Решение задержками транзакций в FireSim



## Host Decoupling in FireSim: Mapping to the FPGA



SoC sees realistic DRAM latency

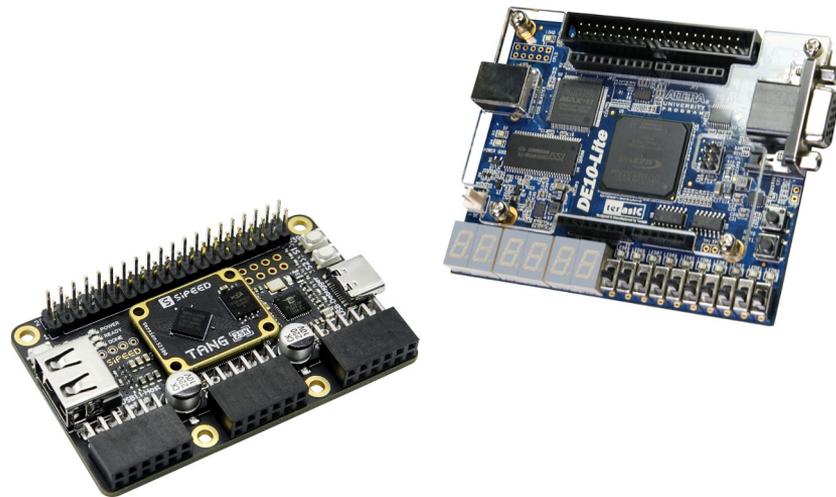
# Аналог FireSim на бюджетных платах?

Многие платы, работающие с FireSim, стоят \$7000-\$9000:



Можно ли использовать бюджетные платы за \$40-\$150?

Да, если использовать небольшие процессорные ядра микроконтроллерного класса.



Это хороший студенческий проект

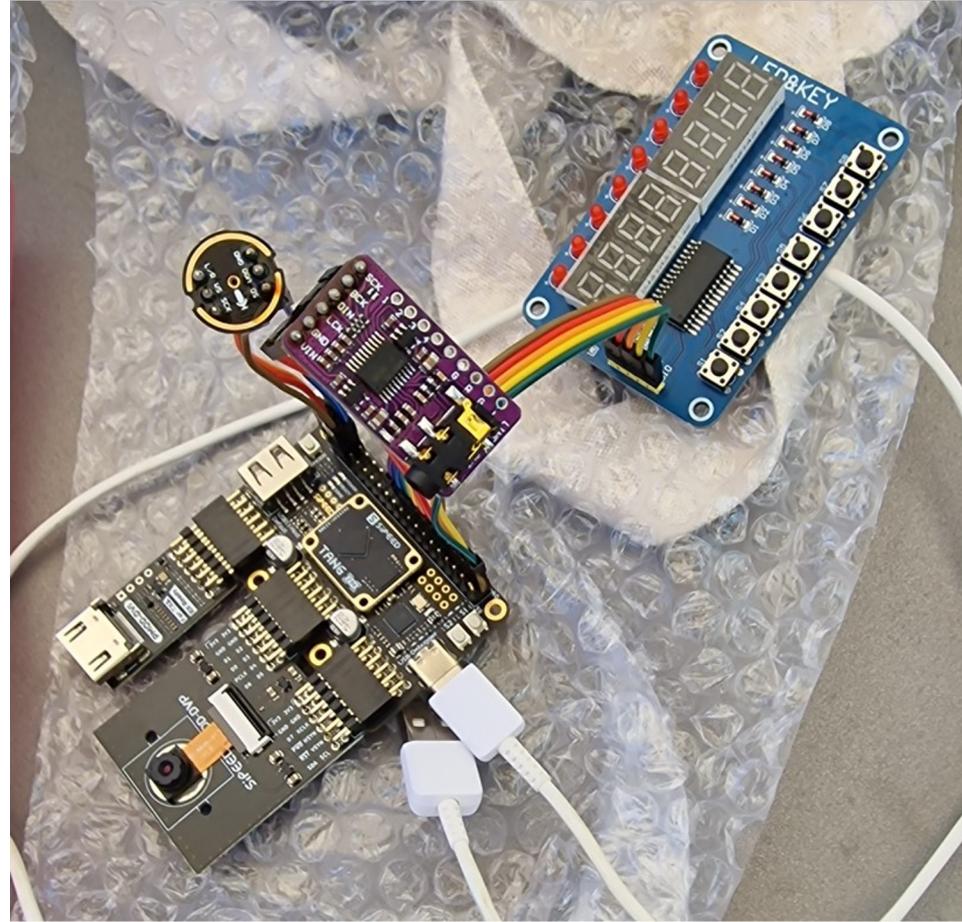
# FPGA - это не только Xilinx и Altera

На рынке всегда были небольшие производители

- Недорогой Lattice
- Радиационно-устойчивый Actel/Microsemi

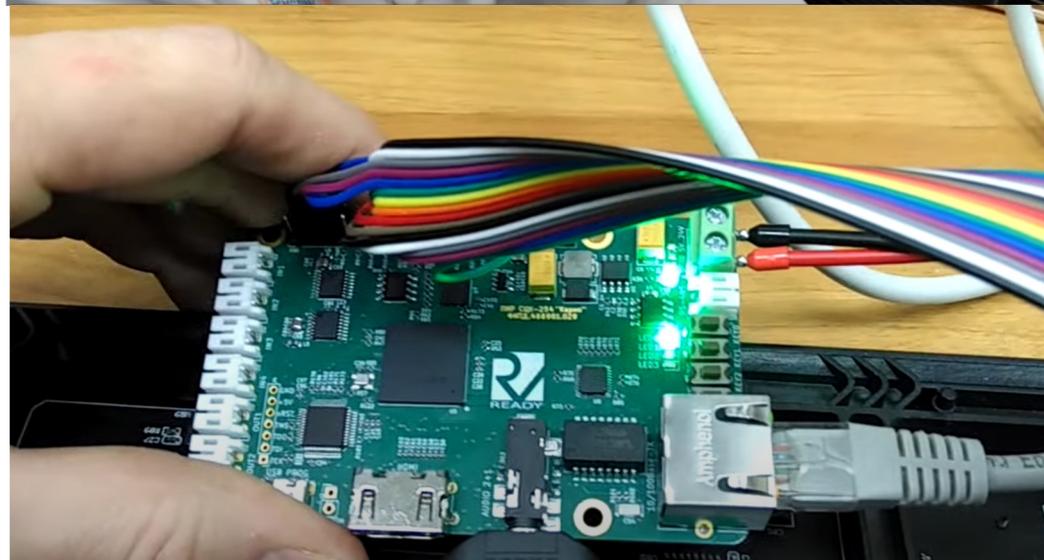
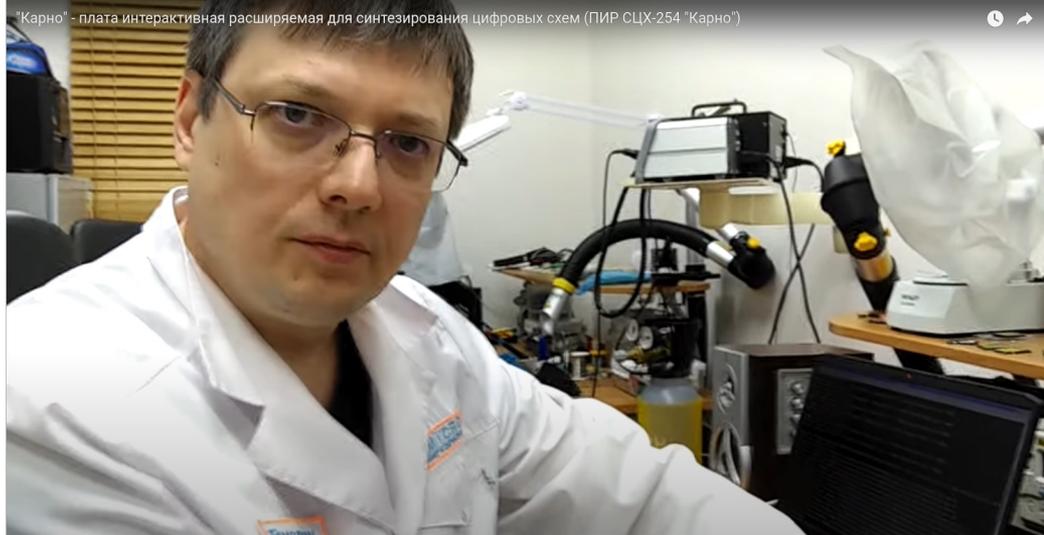
Но сейчас идет новая волна:

- Gowin
  - Очень быстрый синтез
  - Совместим с открытым EDA
  - Компактный дистрибутив
  - Недорогие платы
- Efinix



# Плата на Lattice из Тюмени

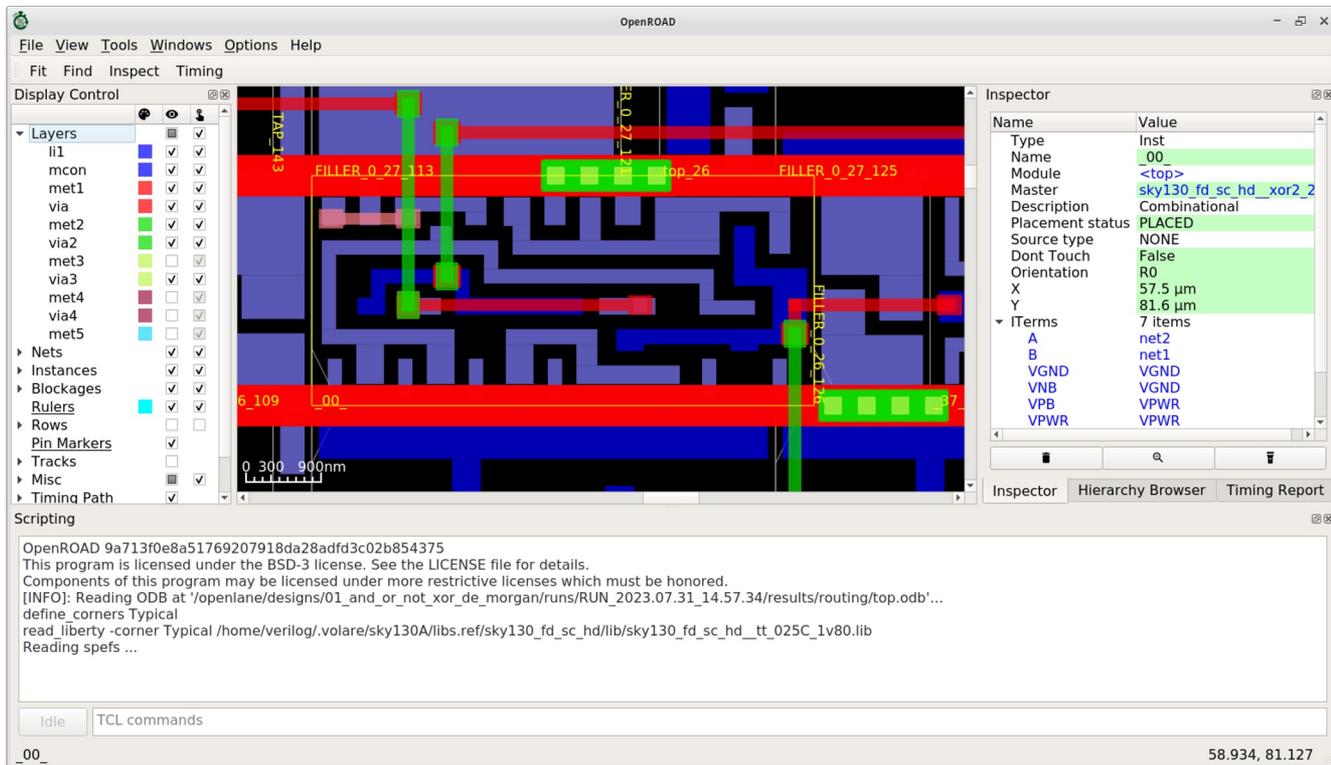
- Руслан Залата,  
Fabmicro LLC
- Плата интегрирована  
с примерами [basics-  
graphics-music](#)
- Но обявка использует  
только открытые тулы  
на основе Yosys
- Вы можете подключить  
обвязку с коммерческими  
тулами от Lattice сами

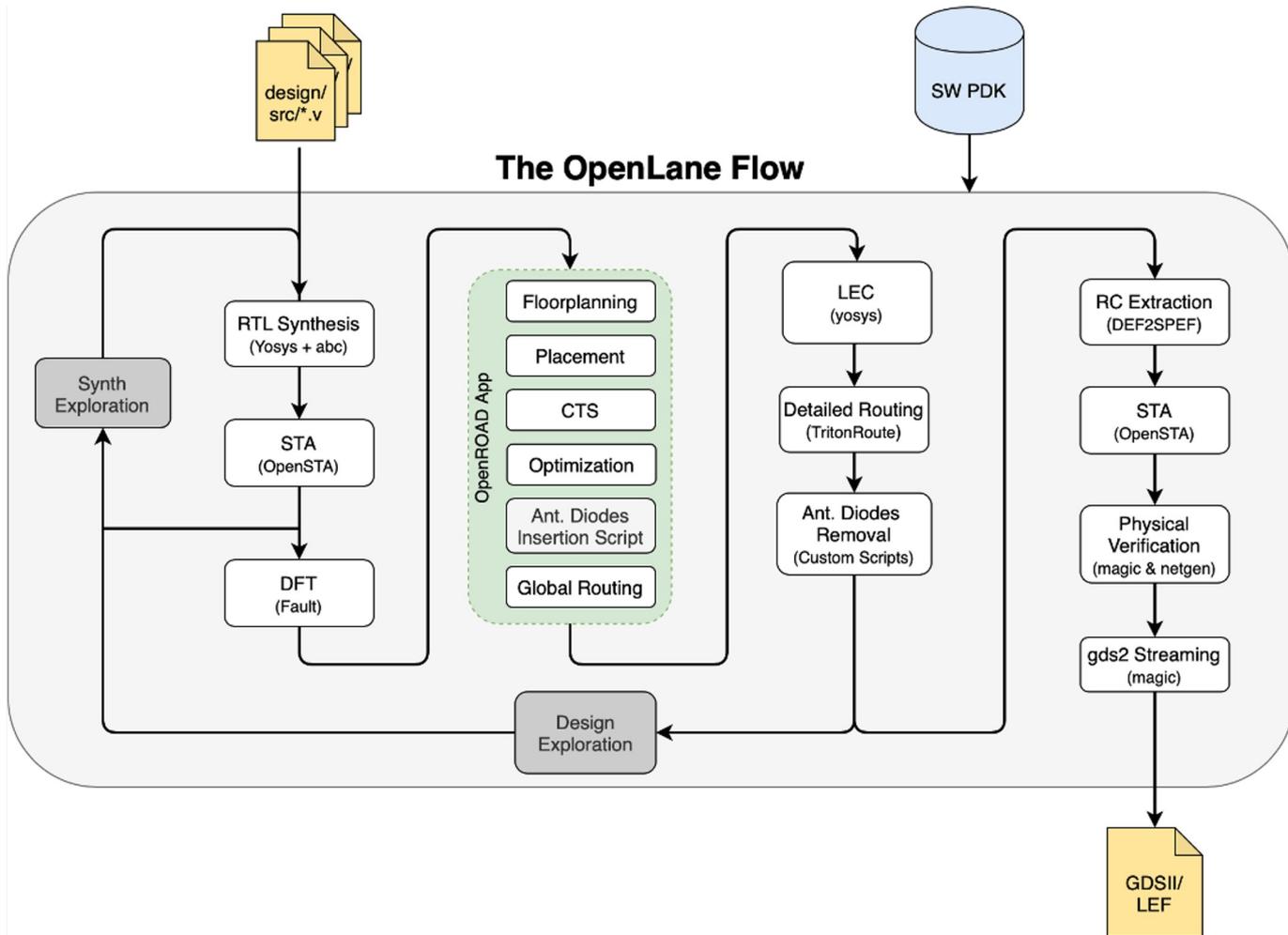


# С открытых тулов для FPGA - к открытым тулам для ASIC

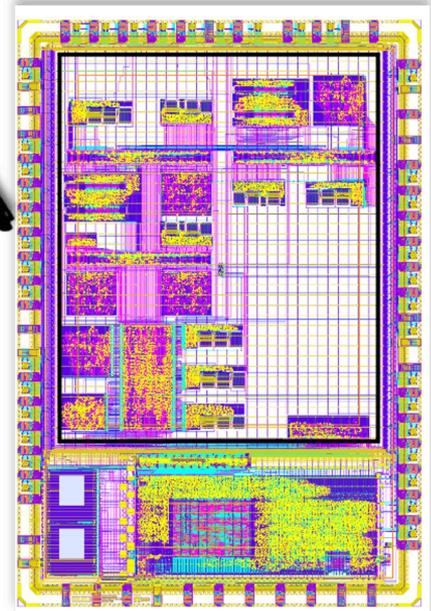
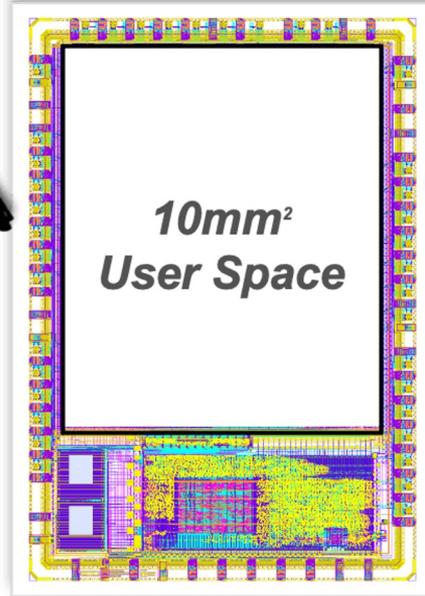
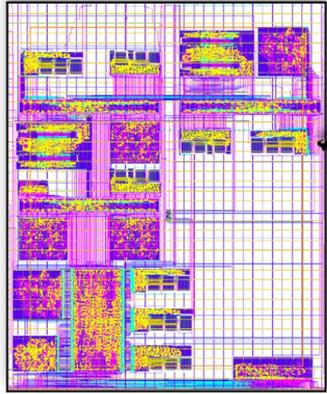
- Yosys
- ABC
- OpenROAD

За последние  
5 лет  
они стали  
работоспособными





# Платформа Caravel = RISC-V + Open Lane



**YOUR DESIGN**

**CARAVEL**

**INTEGRATED CHIP**

# Созданы с помощью Caravel + OpenLane + eFabless

← → ↻ 🏠 platform.efabless.com/projects/public 🔍 ⌵ ⭐ 🔍 🌐

**efabless** Projects ▾ Tools ▾ Marketplace ▾ Community ▾ Company ▾

Projects Filter: All Public Projects ▾ Tags:

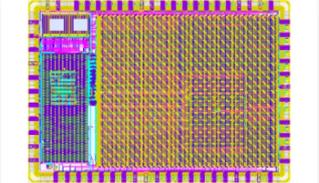


### Ibtida SoC public

Muhammad Hadir Khan | <https://merledupk.org>

System on a Chip built around a RISC-V based 5 stage pipelined core Buraq-Mini.

MPW-1 SKY130 1.6k

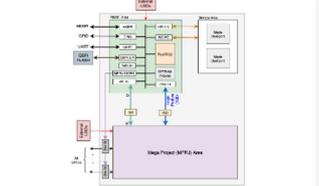


### Caravel\_Astria\_Testchip public

Astria Nur Irfansyah | <http://www.its.ac.id>

Test circuits consisting of synthesizable comparators for a stochastic ADC, to be submitted for...

MPW-1 SKY130 1.2k

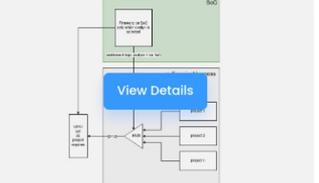


### Caravel public

Sylvain Munaut | <https://github.com/PyFive-RISC-V>

Peripherals tests for future SoC targeting Micro/Circuit Python

MPW-1 SKY130 1.8k

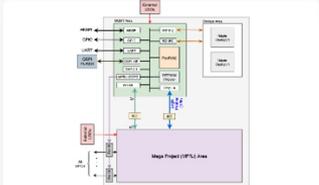


### multi project harness public

Matt Venn

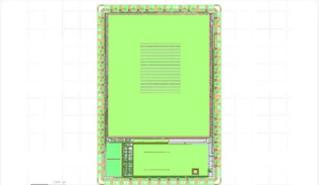
multi project harness

MPW-1 SKY130 1.2k



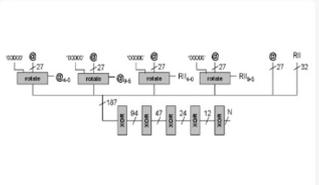
### rapcores public

MPW-1 SKY130 1.2k



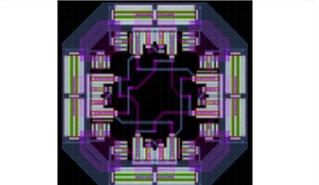
### MorphleLogic public

MPW-1 SKY130 1.2k



### RT-PseudoRNG public

MPW-1 SKY130 1.2k



### caravel\_amsat\_txrx\_ic public

MPW-1 SKY130 1.2k

# В России тоже появился MPW сервис

miet.ru/news/160185



**МИЭТ** НАЦИОНАЛЬНЫЙ  
ИССЛЕДОВАТЕЛЬСКИЙ  
УНИВЕРСИТЕТ

Университет ▾ Образование ▾ Наука и инновации ▾

НИУ МИЭТ/Новости

## Продолжается сбор проектов для производства интегральных схем по системе MPW в 2024 году

13 декабря 2023

#наука #Приоритет 2030 #инновации

225 просмотров



До 1 февраля 2024 года НИУ МИЭТ собирает проекты для изготовления прототипов интегральных схем в 2024 году по системе MPW (Multi-Project Wafer) – мультипроектного размещения интегральных схем в едином кадре. Сервис MPW доступен для научных и образовательных организаций, подведомственных Минобрнауки России, и позволяет создавать прототипы интегральных схем на базе отечественных микроэлектронных фабрик за счет средств федерального бюджета.

Профиль ru Платежиста Пользователя Как стать пользователем Как заказать микросхему

Технологический сервис MPW



НАЦИОНАЛЬНЫЙ  
ИССЛЕДОВАТЕЛЬСКИЙ  
УНИВЕРСИТЕТ

## Технологический сервис MPW (Multi-Project Wafer)

Производство прототипов интегральных микросхем на отечественных фабриках для образовательных организаций высшего образования и научных организаций, подведомственных Минобрнауки РФ

MPW-2023

РЕЗУЛЬТАТЫ ПЕРВОГО ЗАПУСКА ПРОИЗВОДСТВА МИКРОСХЕМ ПО СИСТЕМЕ MPW ОЖИДАЮТСЯ К КОНЦУ 2023 ГОДА

MPW-2024

СБОР ПРОЕКТОВ МИКРОСХЕМ ДЛЯ ЗАПУСКА ПРОИЗВОДСТВА В 2024 ГОДУ ОСУЩЕСТВЛЯЕТСЯ ДО 1 ФЕВРАЛЯ 2024 ГОДА

### Доступные микроэлектронные производства

**mikron**

АО «Микрон»  
Изготовление интегральных микросхем по технологии КМОП 130 нм

НОМОД 130 нм  
СМОД 90 нм



Фабрика РЭИЦ «НИИИС им. Ю. Э. Семенова»  
Изготовление интегральных микросхем по технологическому процессу КМОП КМТ 0,35 мкм

КМОП КМТ 0,35 мкм

**НИИТЦ**

НПК «Технологический Центр»  
Изготовление микросхем на основе технологических базовых матричных кристаллов (ВМК) серий 3503 и 3507 (1,5 - 1,8 мкм)

ВМК серия 3503 ВМК серия 3507

«Светлана-Рост»

АО «Светлана-Рост»  
Изготовление интегральных микросхем на основе гетероструктур полупроводниковых соединений АБВ.

ИРЭМТ 0,25 мкм ИРЭМТ 0,3 мкм  
Предварительное ПОС

Электронный институт им. А.П. Яковлева

АО «ЭИЦ»  
Изготовление и корпусирование интегральных микросхем в металлокерамических, металлополимерных и пластмассовых корпусах

КМОП 0,6 - 0,25 мкм

Мы открыты к сотрудничеству с новыми фабриками. В случае заинтересованности предложение направить по адресу [mpw@miet.ru](mailto:mpw@miet.ru)

### Пользователи



Томский государственный университет системы управления и радиосистем



Томский государственный университет



Национальный исследовательский адресный университет «МИЭТ»



Уральский государственный технический университет

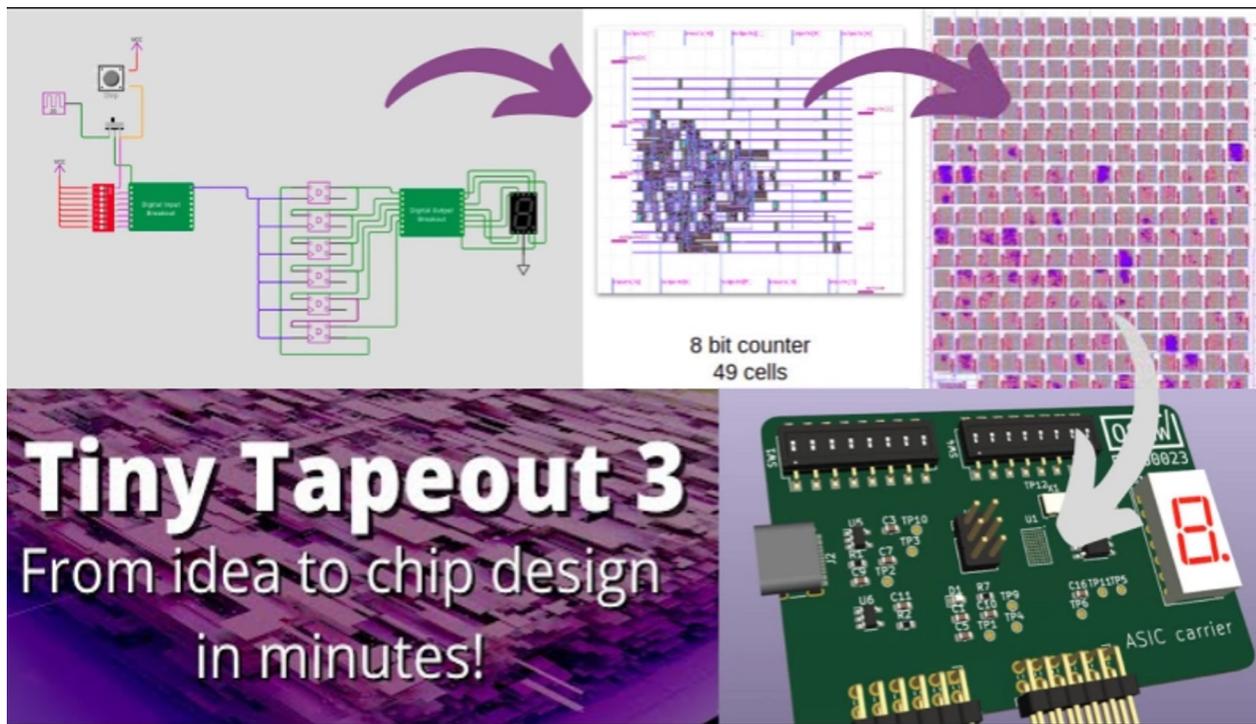


Национальный исследовательский университет «ИЗМАН»

<https://www.miet.ru/news/160185>

# Tiny Tapeout как вариант для производства

Еще более бюджетная опция для совсем крошечных проектов, чем eFabless и Europractice



<https://hackaday.com/2023/03/05/tiny-tapeout-3-get-your-own-chip-deign-to-a-fab/>

# Внутри ASIC тоже может быть FPGA

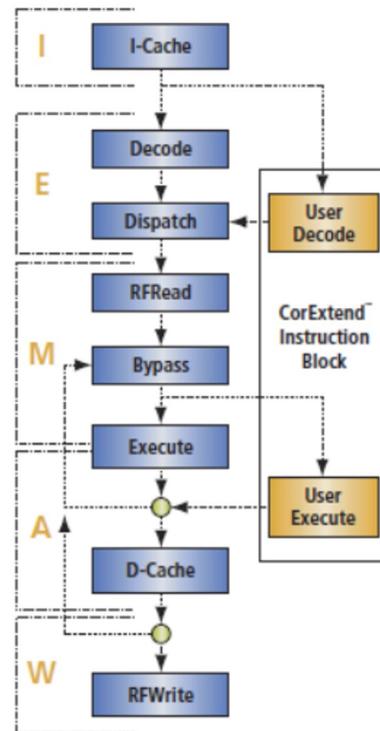
Компания Menta  
продает ячейки  
FPGA в виде  
лицензируемого  
IP вместе с  
набором EDA  
тулов

Подумайте, какие  
могут быть  
приложения!



# Процессор и FPGA - какие варианты взаимодействия?

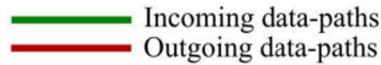
- Эмуляция процессора, спроектированного для ASIC
  - На FPGA у него будет низкая тактовая частота - 20 MHz вместо 2 GHz
- Процессорное ядро спроектированное специально для FPGA
  - Использует оптимизированные блоки FPGA, например DSP48
  - MicroBlaze на Xilinx UltraScale может работать с частотой 700 MHz
- ASIC, на котором есть процессорное ядро и FPGA
  - Пример: Zynq
- Сопроцессор для дополнительных инструкций
- Но процессорами и FPGA архитектурные варианты не исчерпываются
  - Есть GPGPU, TPU, CGRA



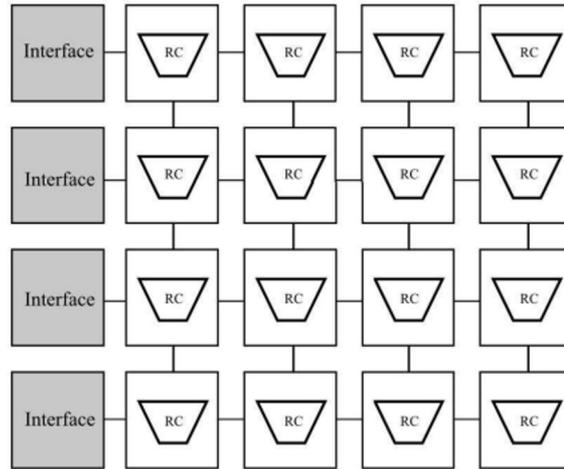
# Не ТОЛЬКО FPGA, НО И CGRA

## Coarse Grained Reconfigurable Arrays

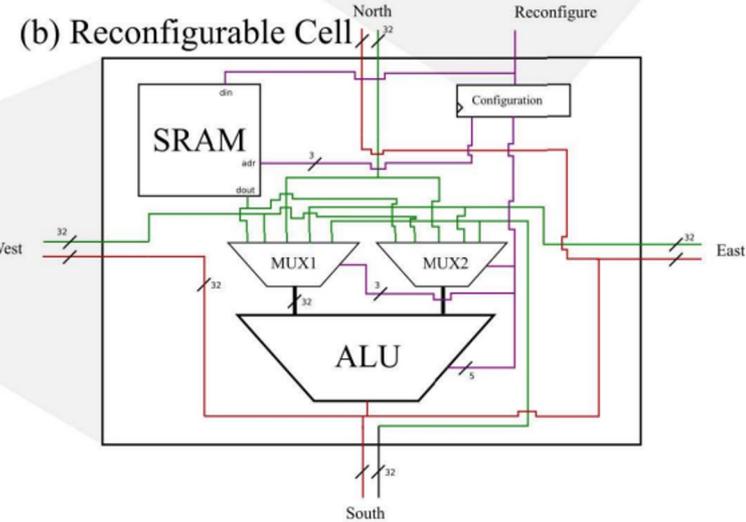
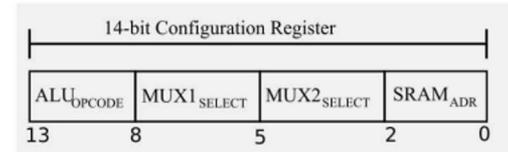
A Generic CGRA design



(a) Mesh of RCs



(c) Configuration



Другая тема для студенческих курсовых проектов - “крупнозернистые” реконфигурируемые массивы. Десятки мировых университетов исследуют, как их приспособить.

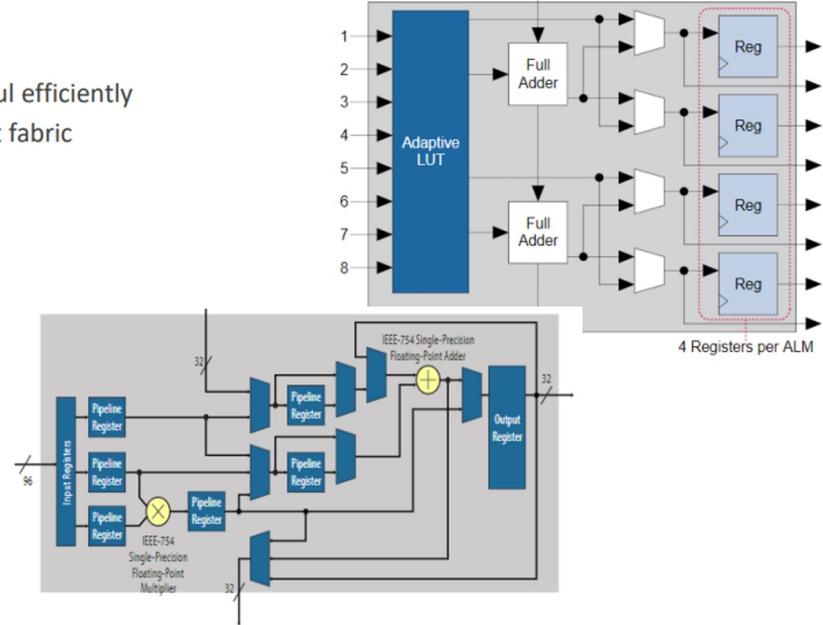
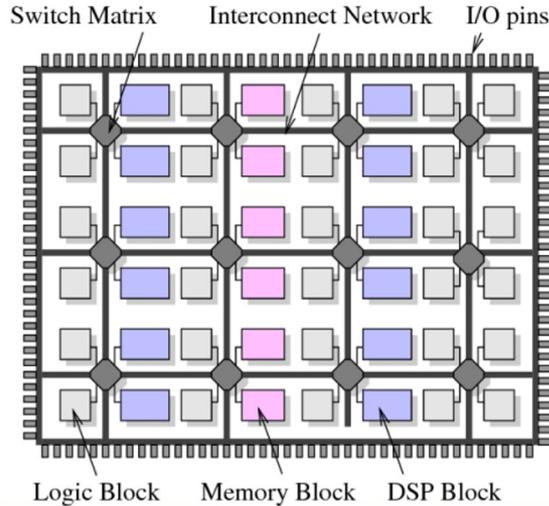
<https://arxiv.org/pdf/2004.04509>

# Современные FPGA эволюционируют к CGRA?

Есть и  
мнение, что  
современные  
FPGA  
уже на  
полпути к  
CGRA  
Из-за  
Наличия  
DSP блоков.

Even FPGAs are coarse-grain today!

- Hardened logic in LUTs
- “DSP blocks” to implement wide add/mul efficiently
- Dense memories distributed throughout fabric



# Обсуждения образовательных проектов по воскресеньям

Hacker Dojo,  
Mountain View, California

10 утра по Калифорнии  
(летнее время)

Zoom

[bit.ly/yuri-panchul-zoom](https://bit.ly/yuri-panchul-zoom)

20.00 по Москве



Больше информации: <https://habr.com/en/articles/790570/>

Спасибо!

[yuri@panchul.com](mailto:yuri@panchul.com)

[yuri.panchul@gmail.com](mailto:yuri.panchul@gmail.com)



Генеральный партнёр конференции FPGA-Systems  
2024.1



Первая современная отечественная САПР,  
реализующая сквозной цикл проектирования печатных плат

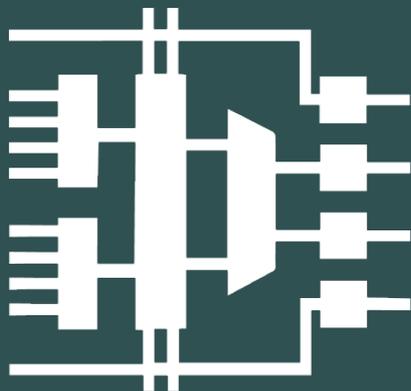


[www.eremex.ru](http://www.eremex.ru)

# Где найти FPGA / RTL / Verification комьюнити?

[FPGA-Systems.ru](http://FPGA-Systems.ru)

Сайт комьюнити



[FPGA-Systems Magazine \(FSM\)](#)

Первый журнал о программируемой логике

[@fpgasystems](#)

Телеграм чат

[admin@fpga-systems.ru](mailto:admin@fpga-systems.ru)

Электронная почта

[Youtube.com/c/fpgasystems](https://Youtube.com/c/fpgasystems)

Youtube канал