

VI КОНФЕРЕНЦИЯ FPGA/RTL/Verification

# FPGA-Systems 2024.1

## **DRFM на основе ПЛИС Virtex-7 для тестирования радиолокаторов с синтезированной апертурой антенны**

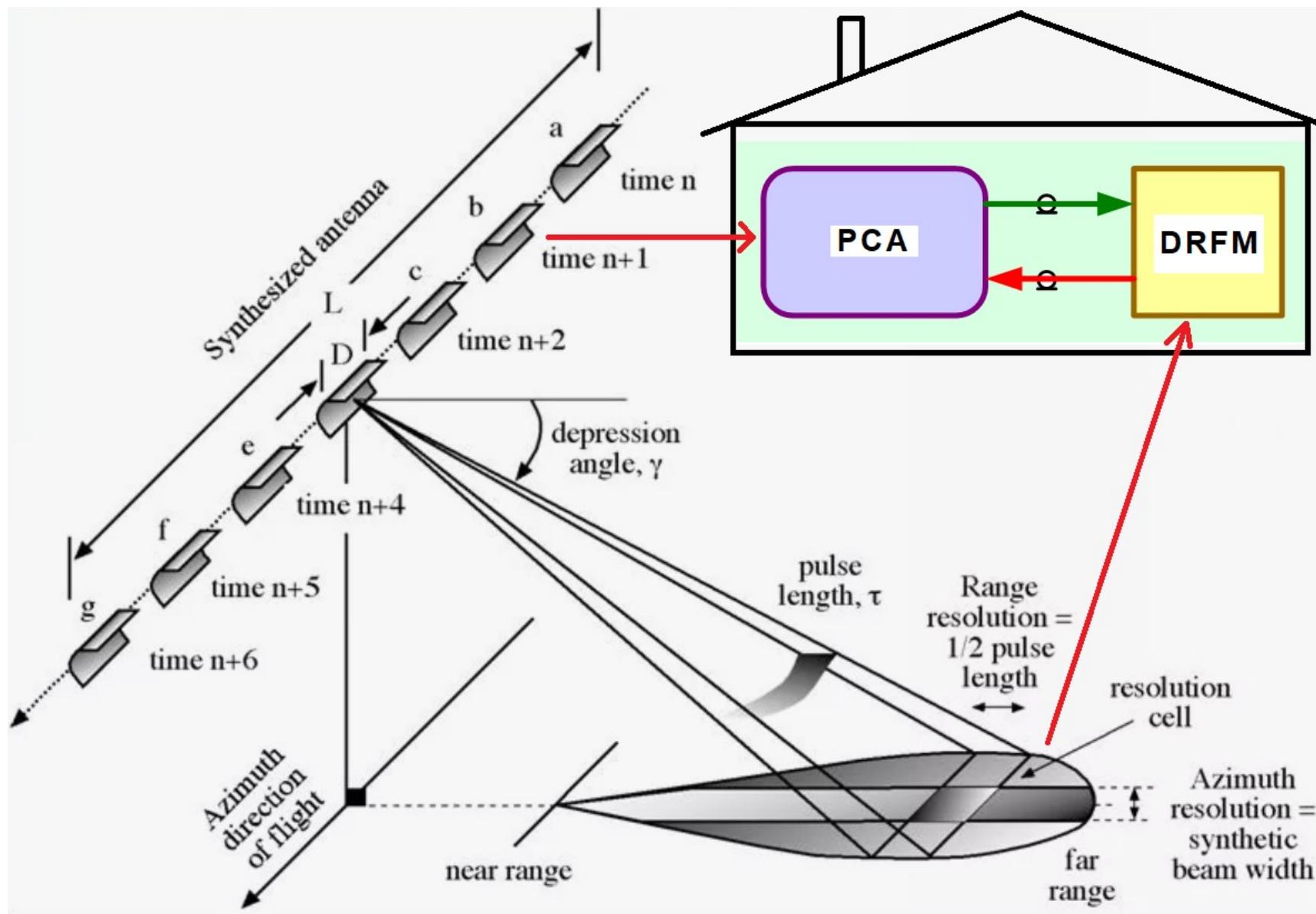
Сонин А.П. [dsplab@mail.ru](mailto:dsplab@mail.ru)

Хромцев А.В.

Свирин Д.М. [chiffasvirin@yandex.ru](mailto:chiffasvirin@yandex.ru)

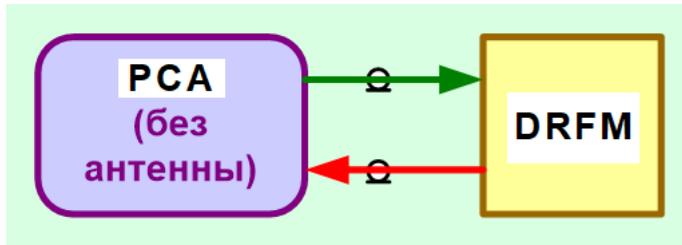
Москва, 2024

# Радиолокационная съёмка поверхности Земли при помощи РСА

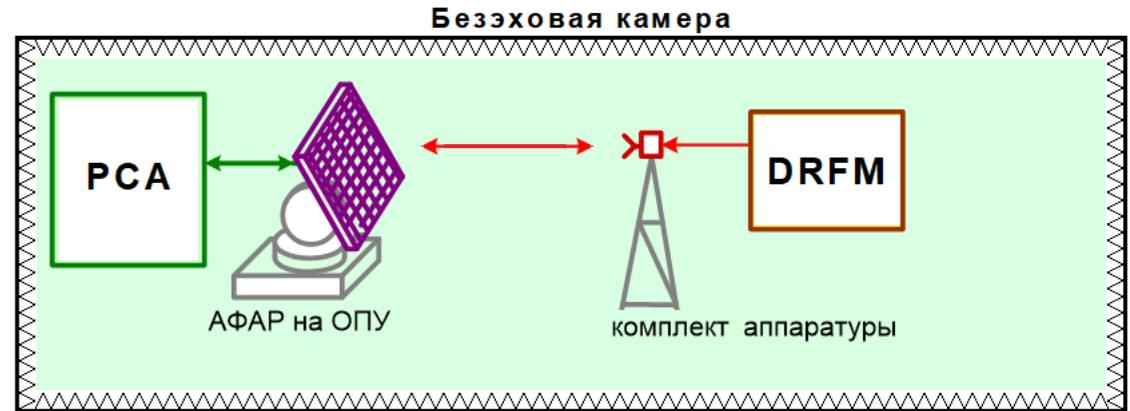


# Схемы испытаний РСА при помощи цифровой радиочастотной памяти (Digital Radio-Frequency Memory, - DRFM)

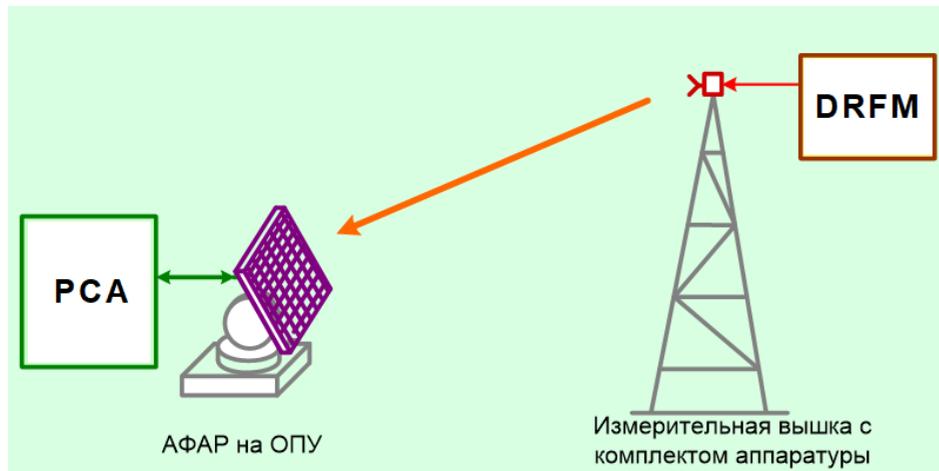
Испытание РСА при помощи DRFM в лабораторных условиях без излучения радиосигналов



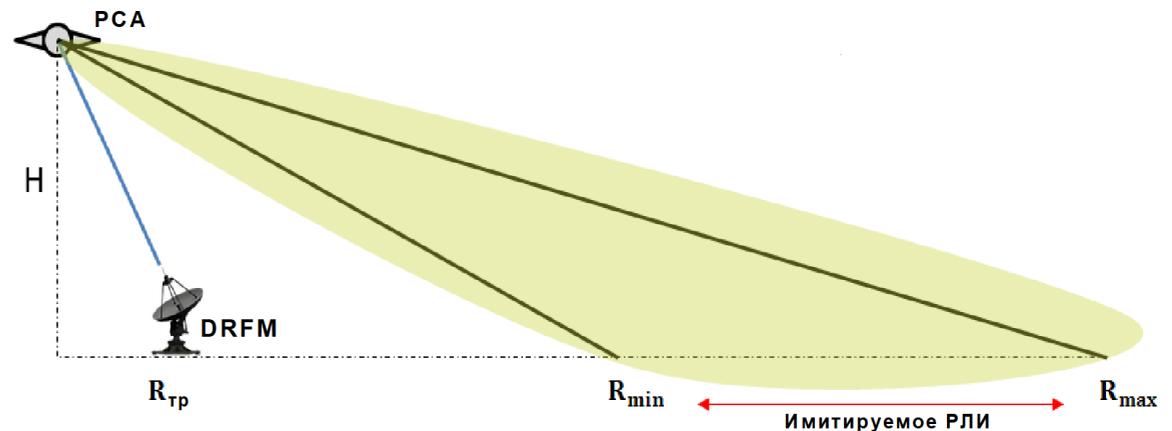
Испытание РСА и его АФАР при помощи DRFM в безэховой камере



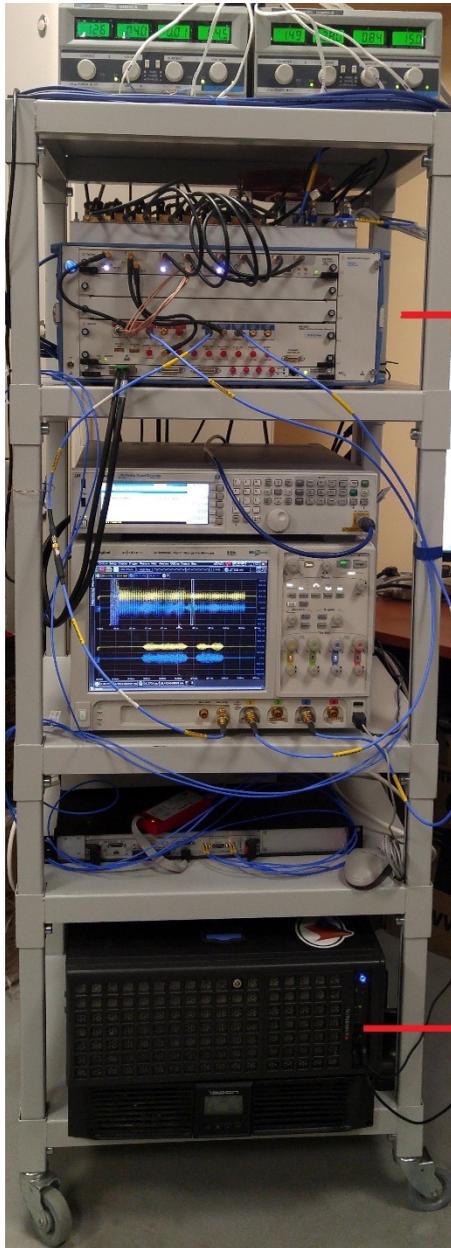
Испытание РСА и АФАР при помощи DRFM на открытом полигоне



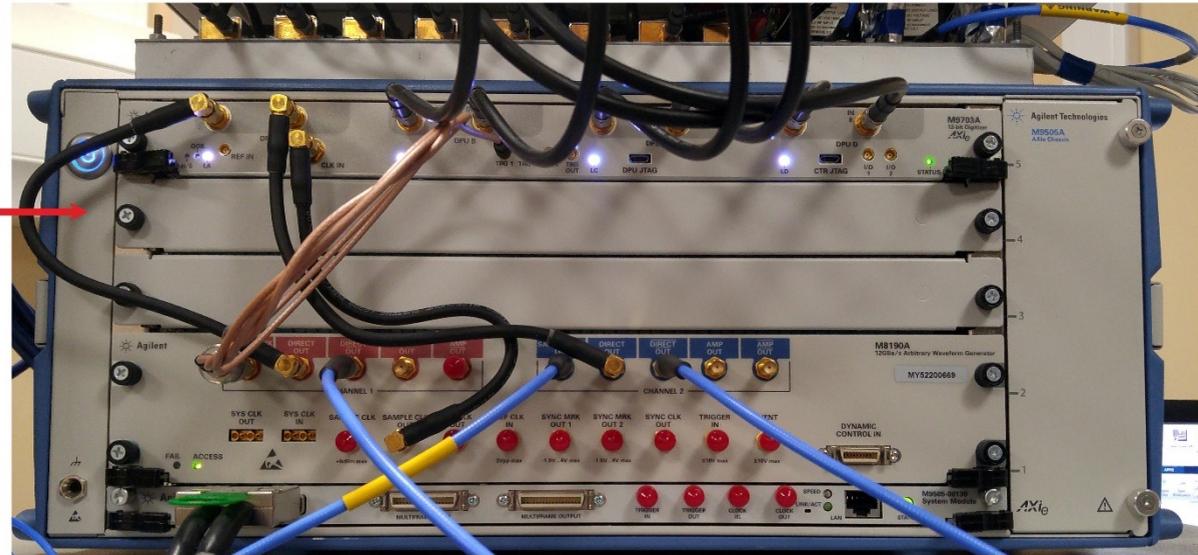
Испытание РСА при помощи DRFM при проведении полёта



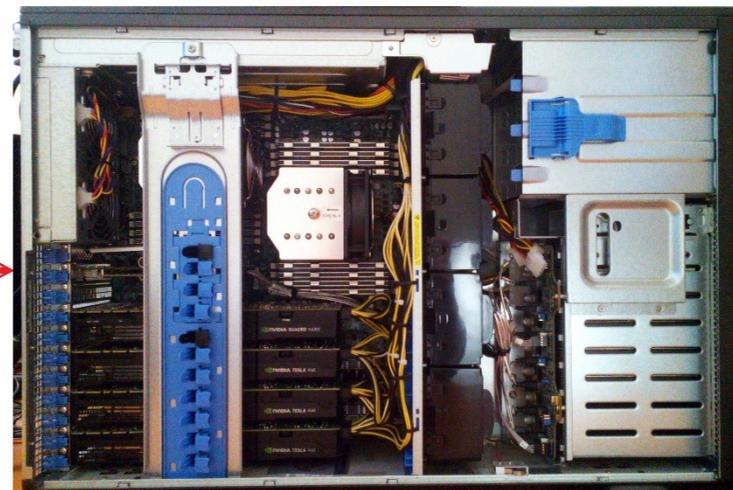
# Тестируемый макет PCA



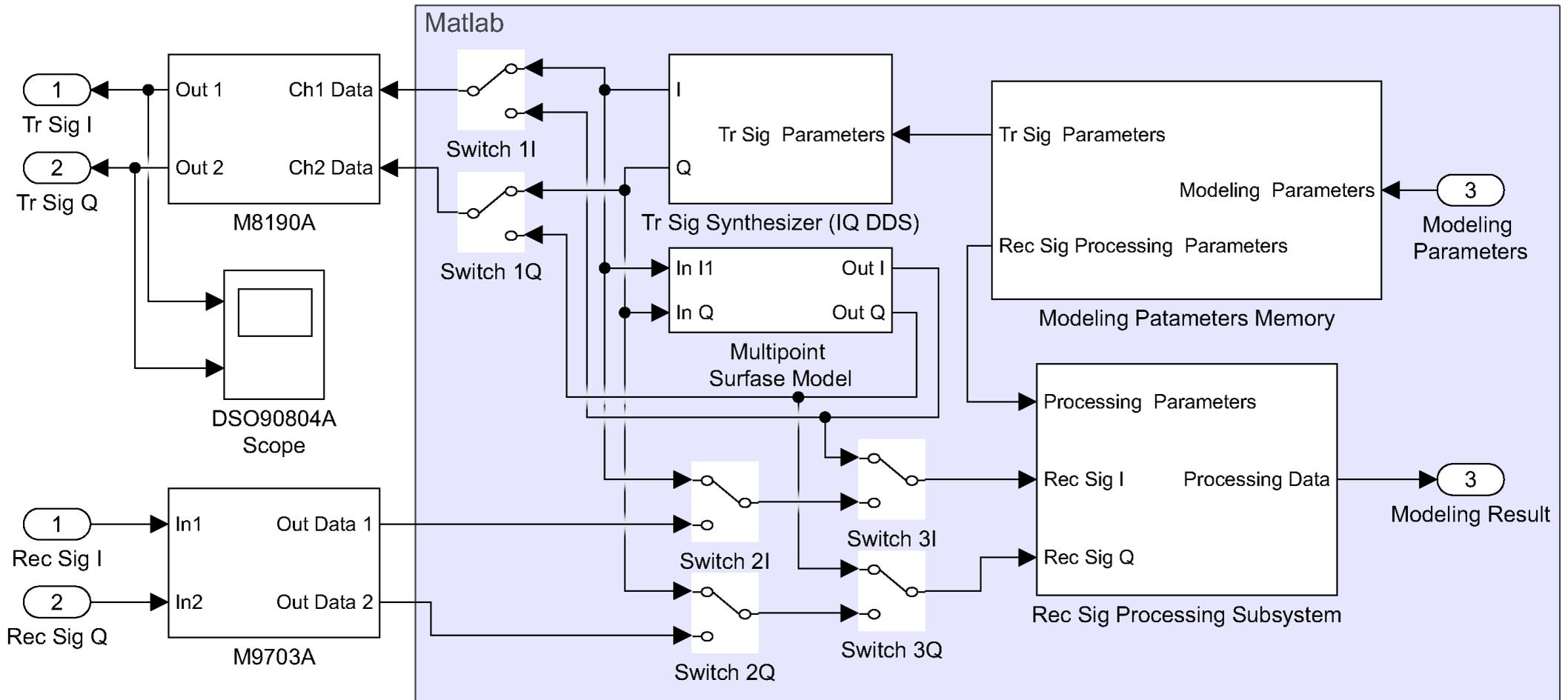
Шасси M9505A с генератором M8190A и дигитайзером M9703A



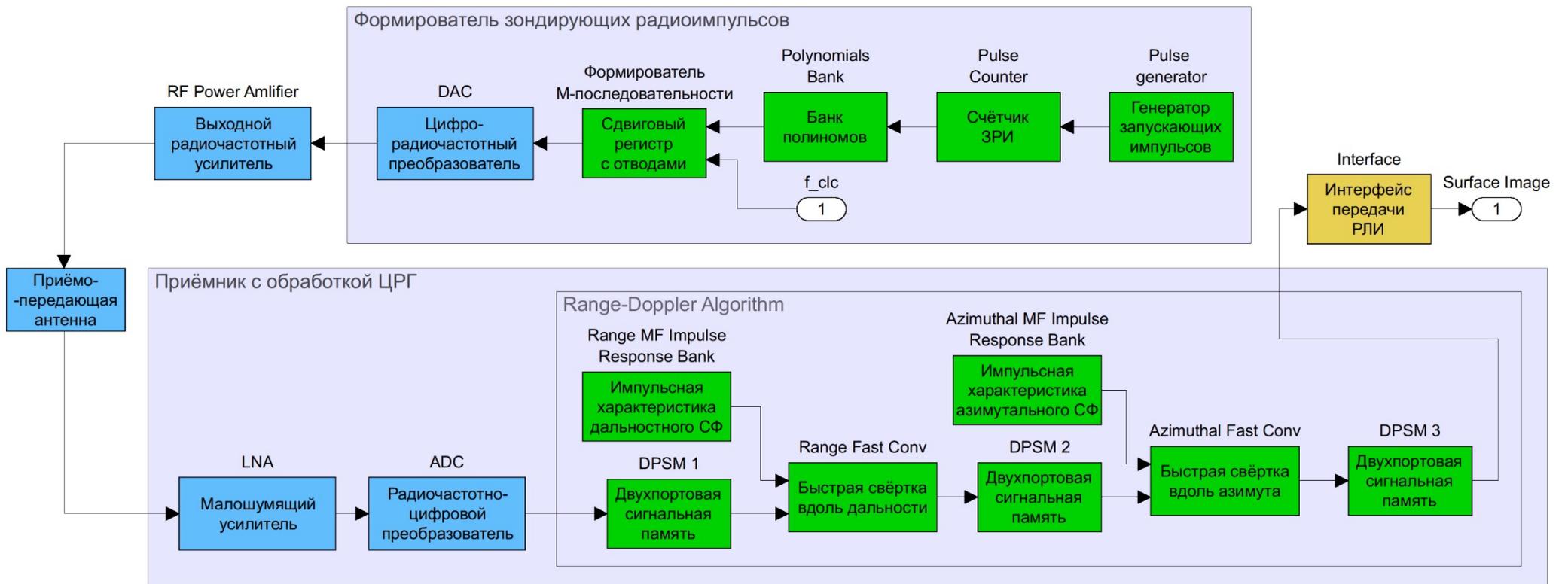
Вычислительный комплекс Forsite-6340



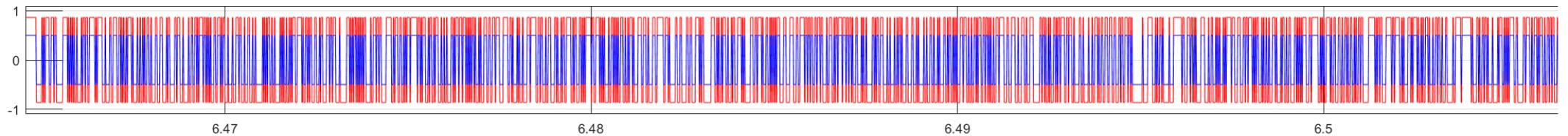
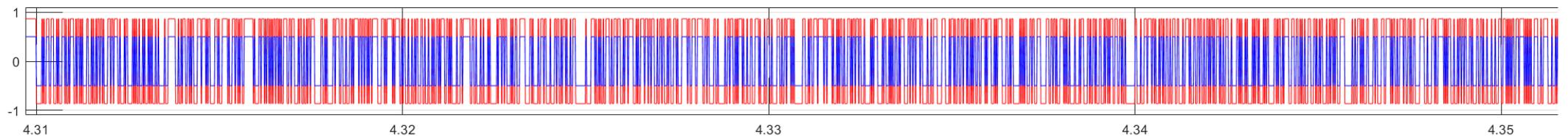
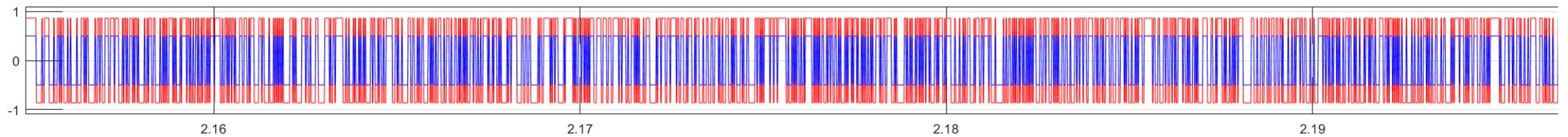
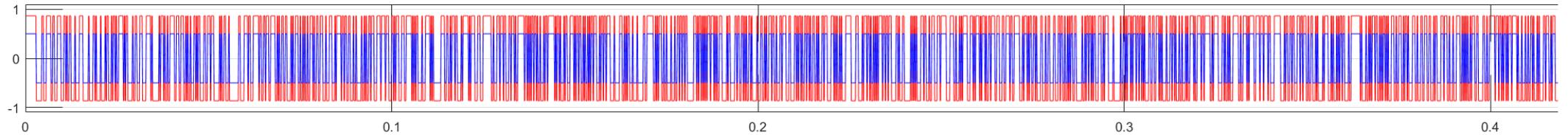
# Структурная схема макета PCA



# Функциональная схема формирования зондирующего и обработки принятого радиосигналов макета РСА для режима ScanSAR



# Зондирующие радиоимпульсы с различными модулирующими M-последовательностями (I- и Q- составляющие)



# Области применения DRFM

В настоящее время DRFM применяется в широком спектре приложений:

- в «Electronic Warfare» (EW) - и «Electronic Attack» (EA) - системах для формирования ответных радиосигналов;
- в «Electronic Support» (ES) - системах для приёма и запоминания радиосигналов с целью их последующего анализа;
- в генераторах сигналов произвольной формы (AWG) для генерации сигналов заданной формы;
- в тренажёрах для обучения операторов радаров;
- в различного рода имитаторах фоно-целевой обстановки для испытания радаров;
- в самих радарах для их встроенного тестирования и проверки режимов работы;
- в составе радиолокационных целей;
- в различных системах для решения технических задач задержки сигнала по времени, сдвига по частоте, размножения и синтеза сложных сигналов.

# Изобретатели отечественной DRFM



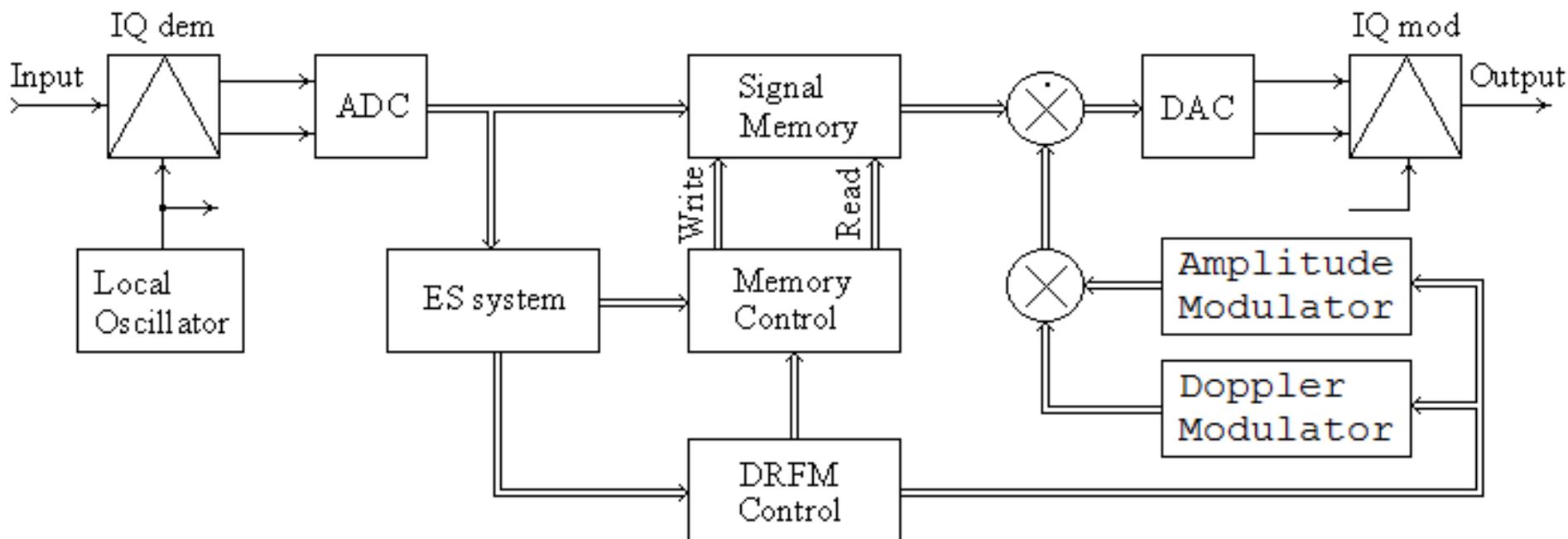
Антонов Олег Евгеньевич, д.т.н,  
директор ООО «Авиаконверсия»



Карманов Юрий Трофимович, д.т.н.,  
проф., директор НИИ ЦС ЧГТУ

# Классическая DRFM

(с постоянными доплеровскими сдвигами)



Input – вход

IQ dem – квадратурный демодулятор

Local Oscillator – гетеродин

ADC – АЦП

ES System – система электронной поддержки

DSP – цифровой сигнальный процессор

Signal Memory – сигнальная память

Memory Control – управление памятью

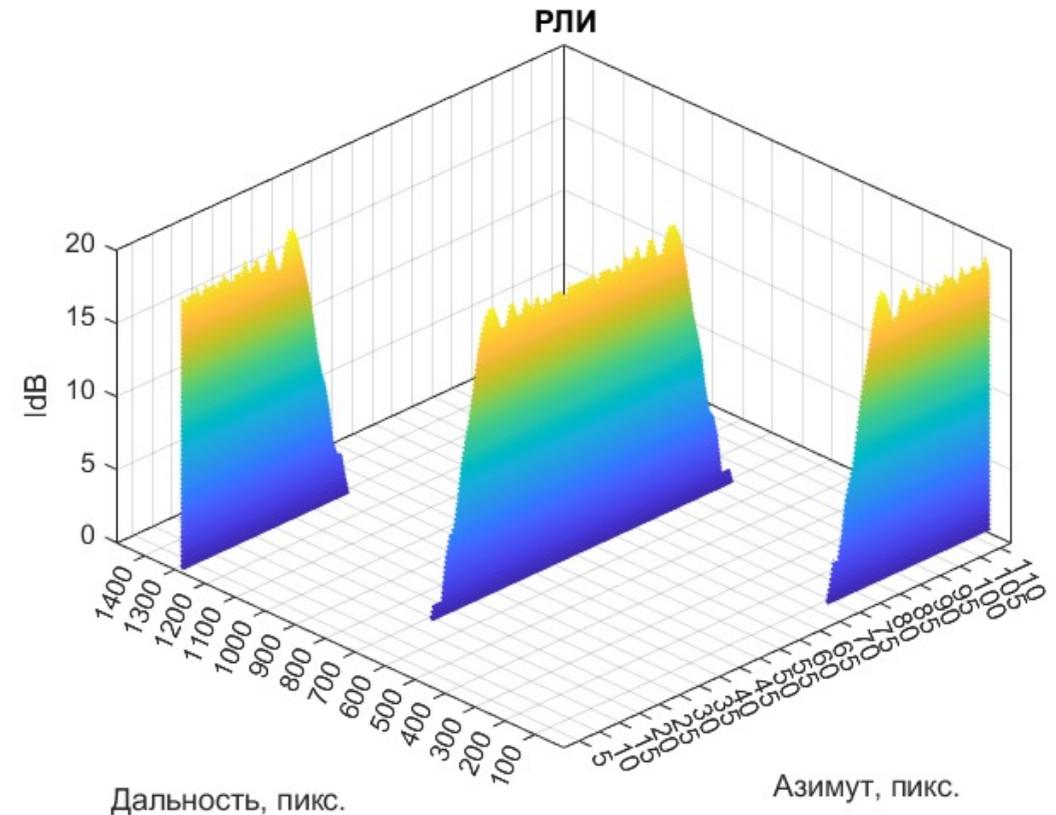
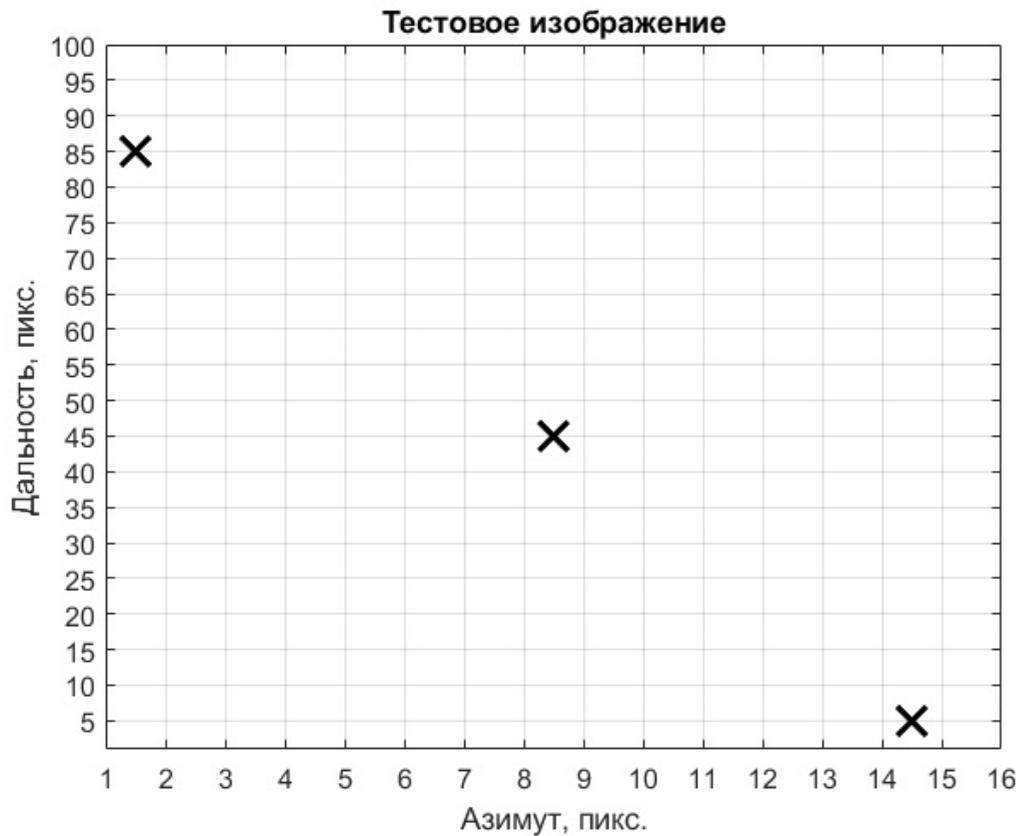
DRFM Control – управление DRFM

DAC – ЦАП

IQ mod – квадратурный модулятор

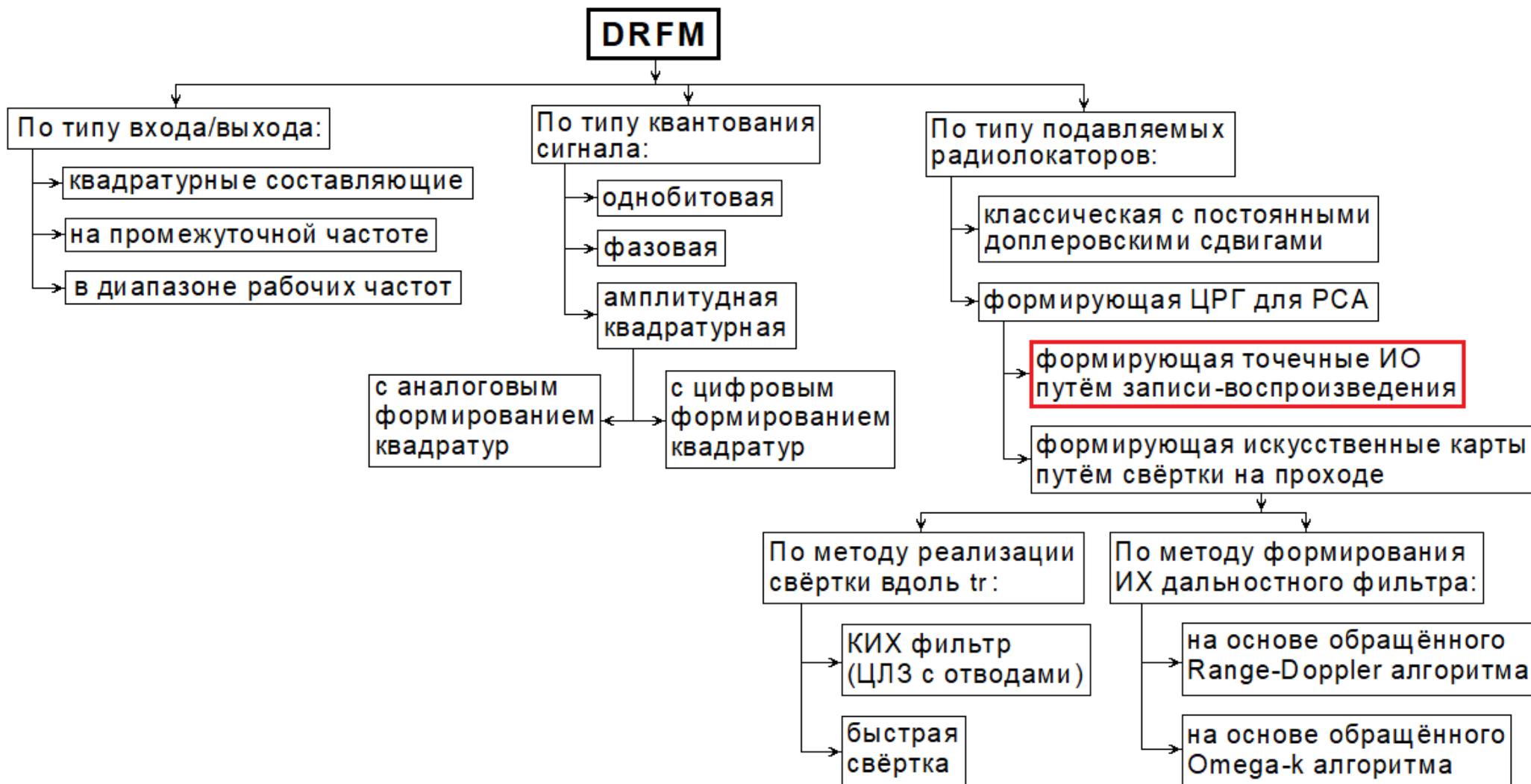
Output – выход

# Формирование имитационных отметок для РСА при помощи классической DRFM с постоянными доплеровскими сдвигами



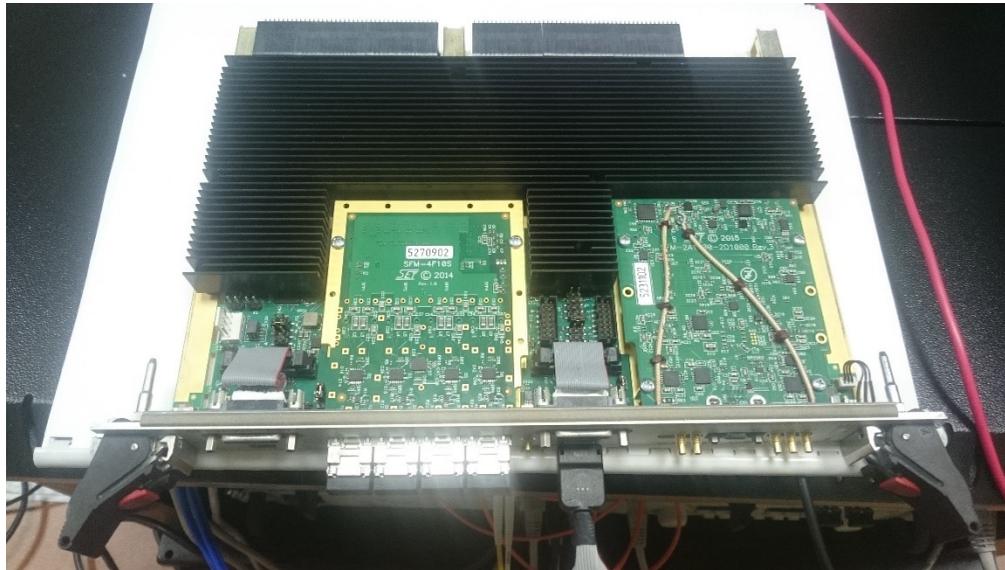
Размещение имитируемых DRFM точечных отражателей (слева) и соответствующее радиолокационное изображение (РЛИ), синтезированное в РСА по цифровой радиоголограмме (ЦРГ), сформированной в DRFM (справа)

# Классификация DRFM



# DRFM на основе модуля SVP-721 с ПЛИС Virtex-7

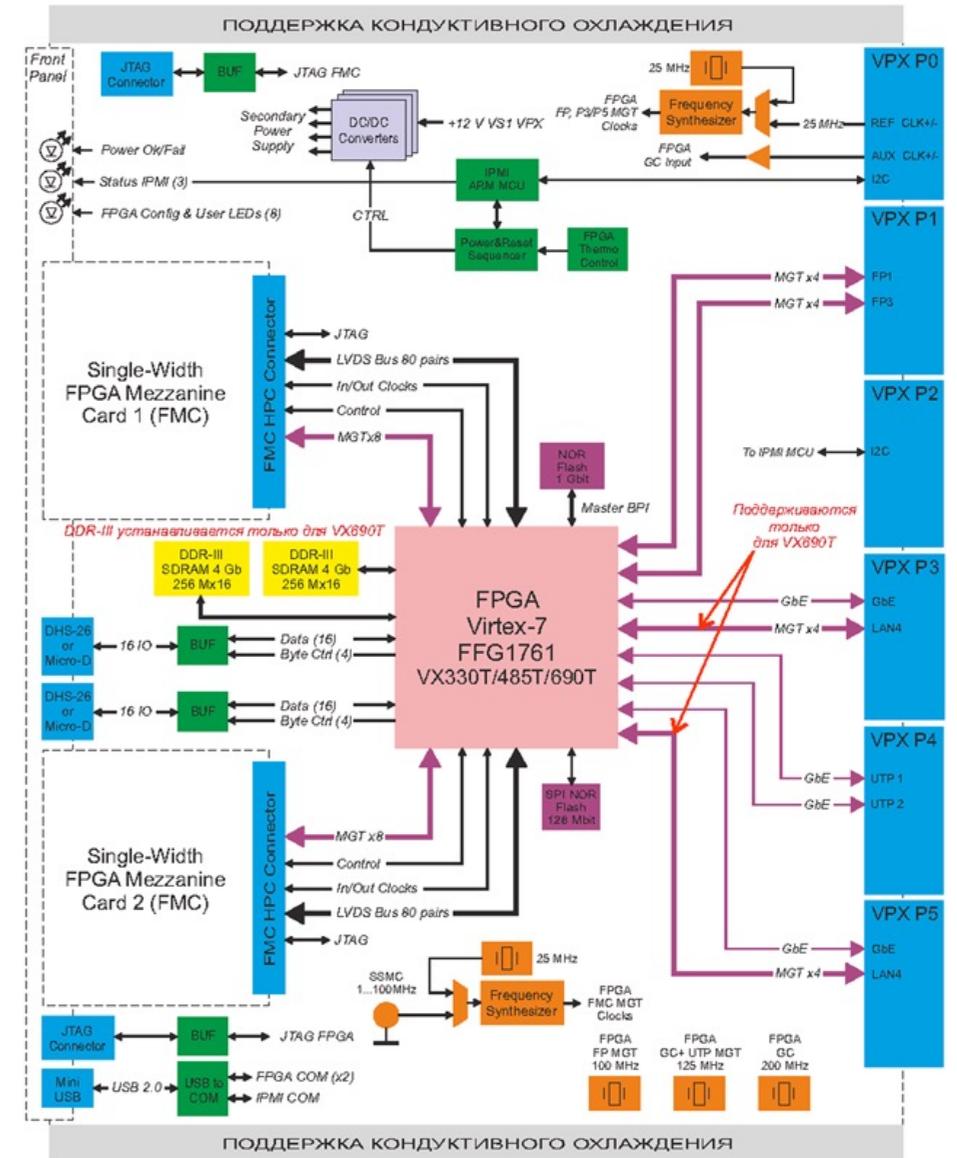
Платформа ЦОС для реализации DRFM, -  
VPX модуль SVP-721 в сборе с субмодулями  
SFM-2A1000-2D1000 и SFM-4F10S



Характеристики VPX модуля SVP-721

Форм-фактор	VPX 6U
Тип используемой FPGA	Xilinx Virtex-7 из ряда XC7VX330/485/690T (в изготовленном опытном образце - XC7VX690T)
Тип используемой памяти	Два 16-разрядных банка динамического RAM DDR3 SDRAM объёмом до 512 Мбайта каждый
Поддержка системных интерфейсов	PCIe/SRIO/XAUI, Gigabit Ethernet (отдельно приобретаемые IP-ядра)

Структурная схема VPX модуля SVP-721



# Мезонинный FMC submodule SFM-2A1000-2D1000 с АЦП и ЦАП

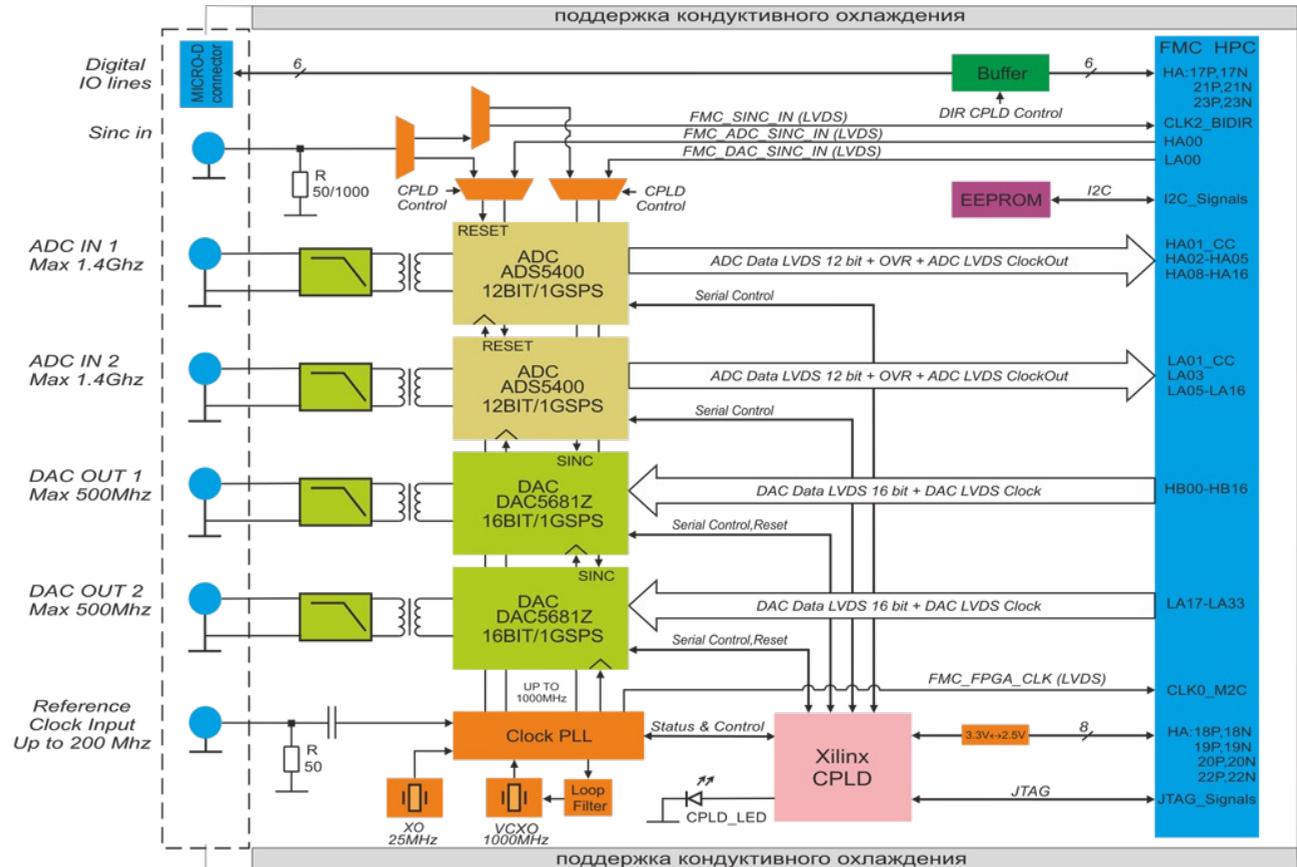
Мезонинный FMC submodule SFM-2A1000-2D1000



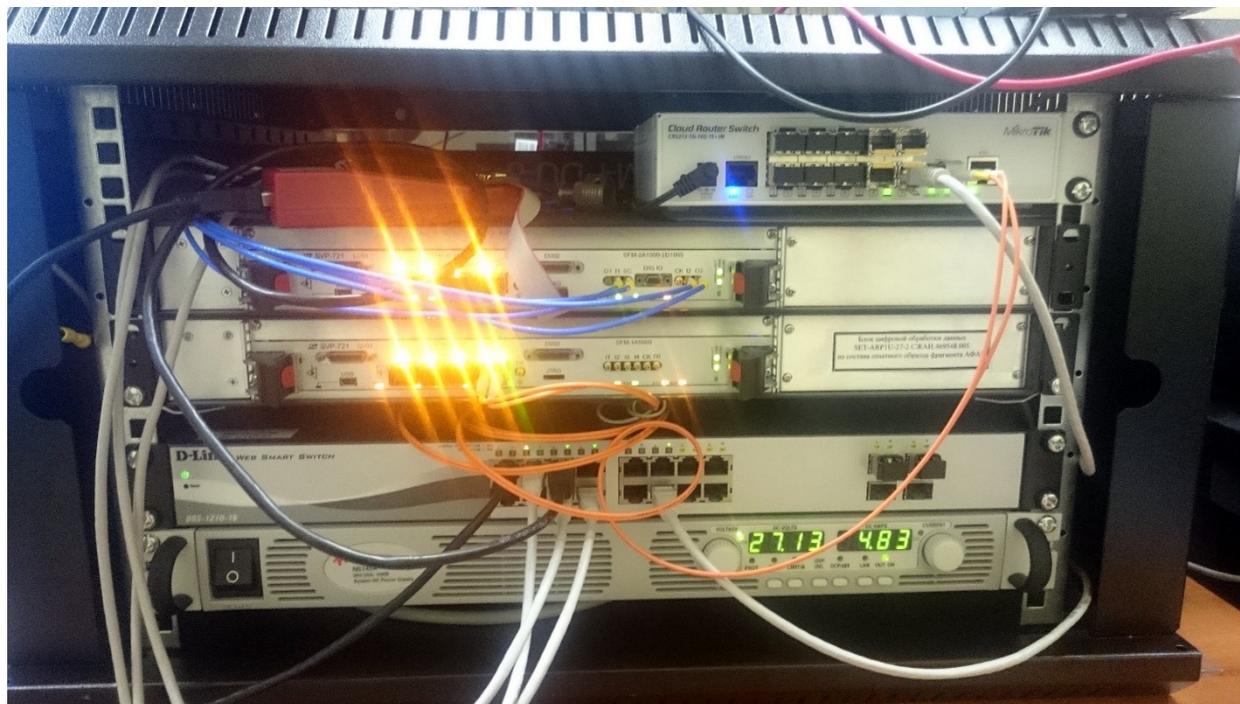
Характеристики мезонинного FMC submodule SFM-2A1000-2D1000

Число каналов АЦП	2
Частота дискретизации АЦП	1000 МГц
Аналоговая полоса тракта АЦП	до 1400 МГц
Число разрядов АЦП	12
Число каналов ЦАП	2
Частота дискретизации ЦАП	1000 МГц
Аналоговая полоса тракта ЦАП	до 500 МГц
Число разрядов ЦАП	16

Структурная схема мезонинного FMC submodule SFM-2A1000-2D1000



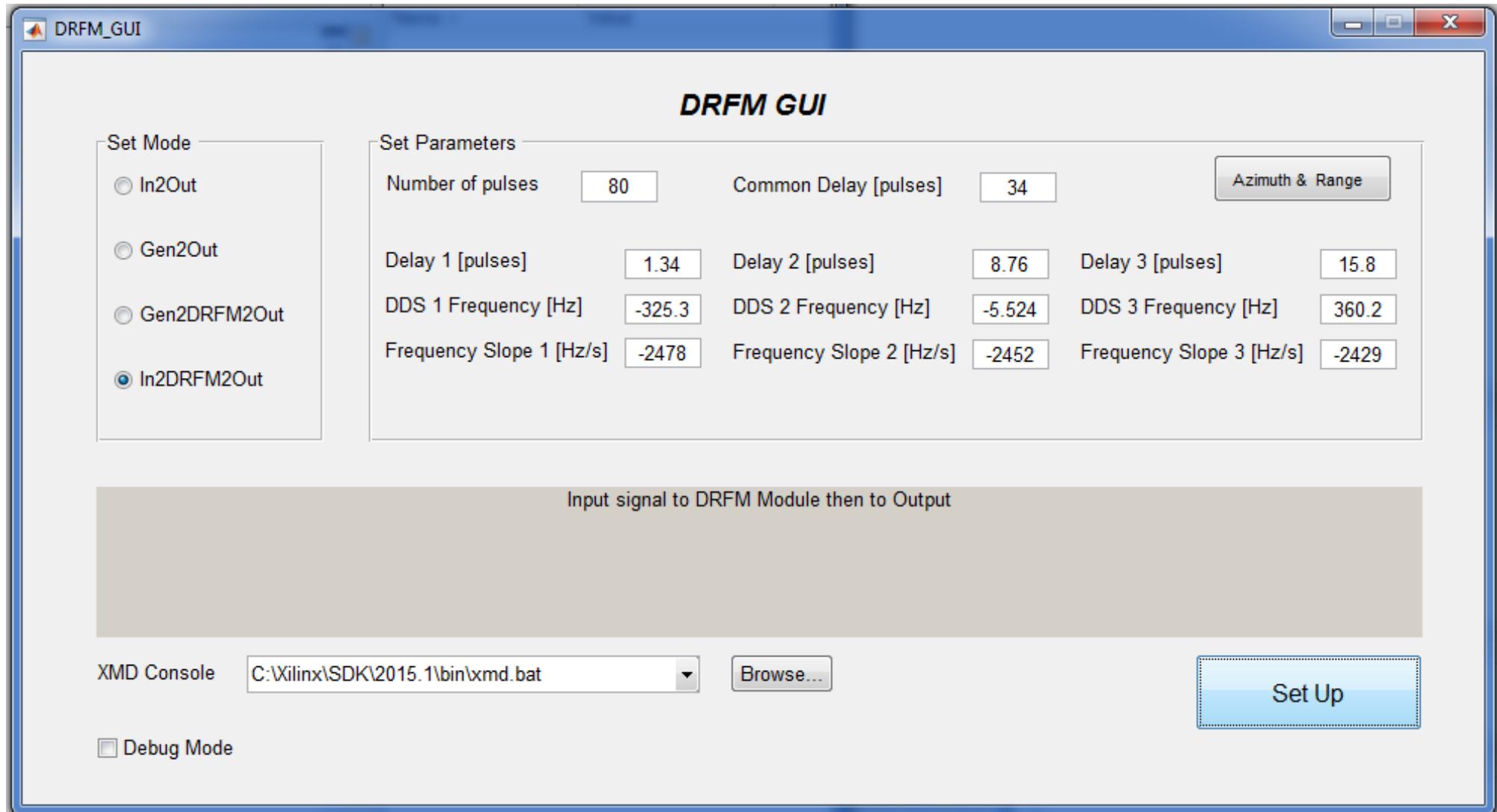
# Конструкция и характеристики устройства DRFM



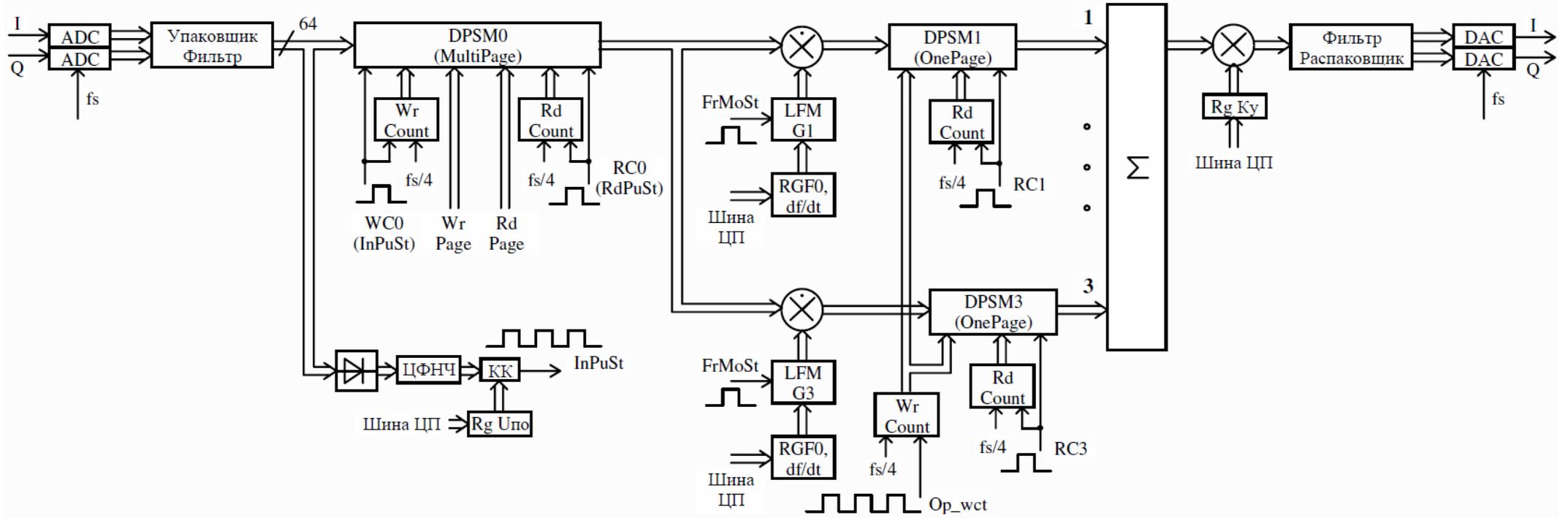
## Основные характеристики устройства DRFM

Диапазон рабочих частот (определяется модулем преобразования частоты)	X
Мгновенная полоса частот	до 1ГГц
Длительность запоминаемого радиосигнала	до 700мкс
Длительность обрабатываемой пачки зондирующих радиоимпульсов	17мс
Динамический диапазон ретранслируемых сигналов	не менее 60дБ
Уровень вносимых паразитных составляющих - с учётом модуля преобразования частоты - без учёта модуля преобразования частоты	не более -35дБ не более -60дБ
Число имитируемых ТО	3
Размер кадра имитируемого тестового изображения	2250x25000м

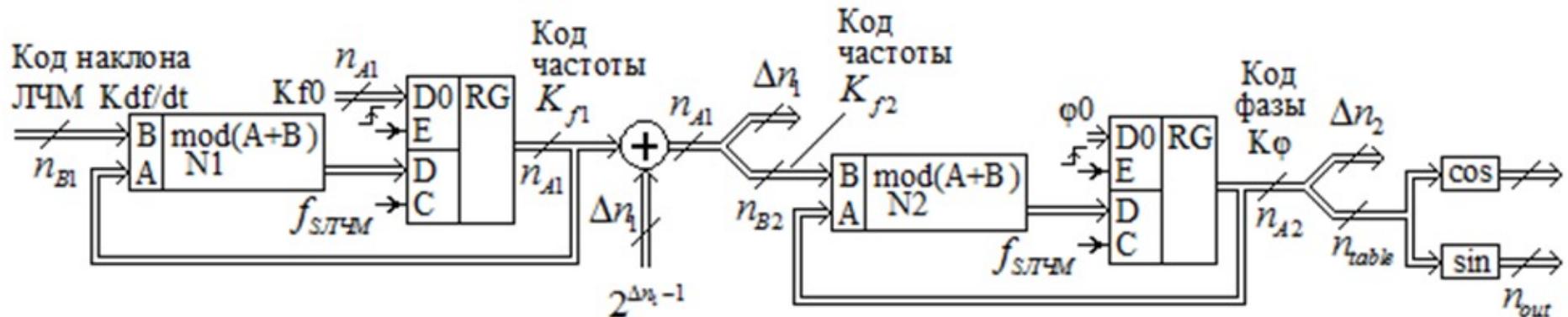
# Окно программы управления устройством DRFM



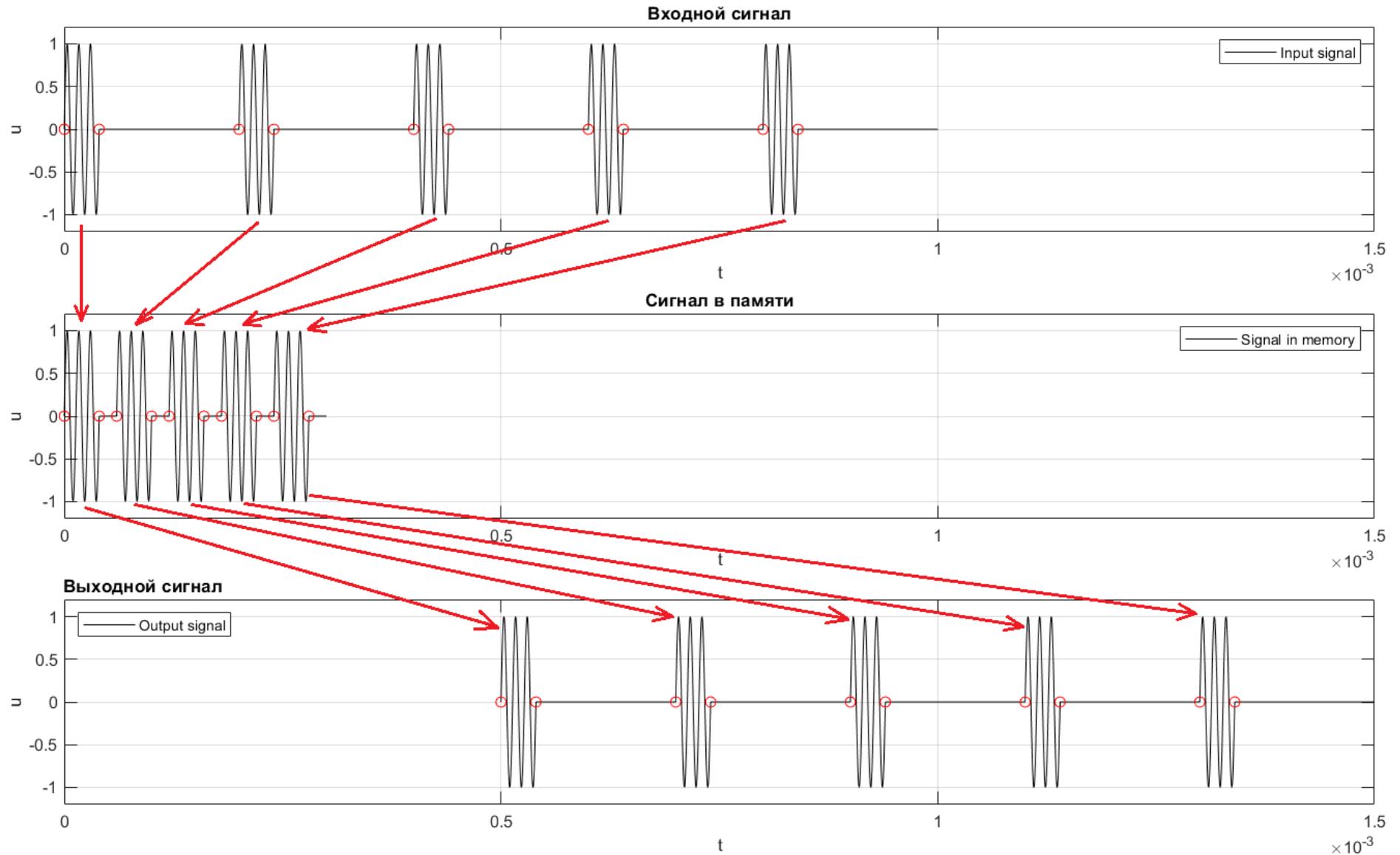
# Функциональная схема DRFM



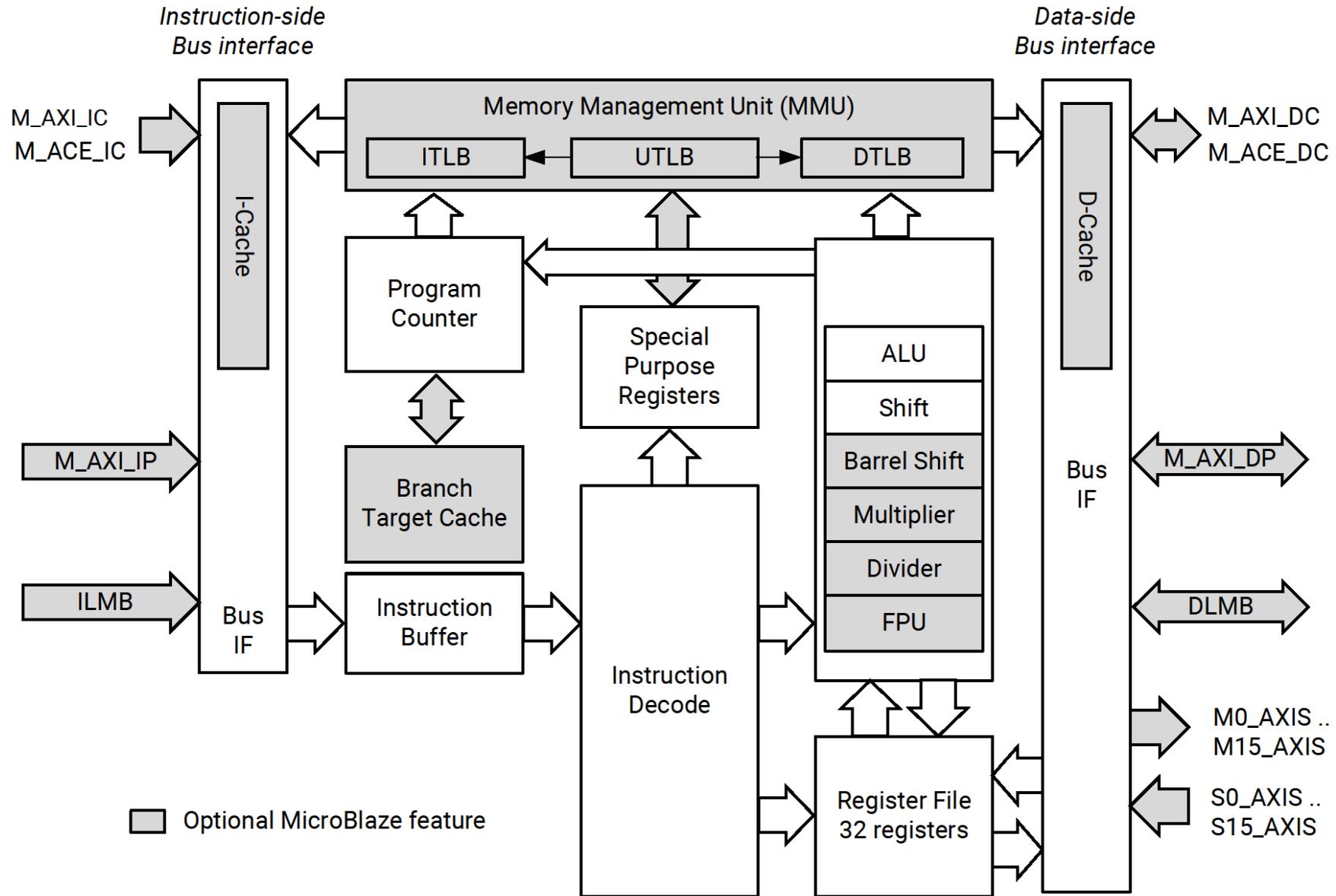
Функциональная схема формирователя модулирующего сигнала



# Реализация многостраничной сигнальной памяти



# Блок-схема ядра управляющего soft-процессора MicroBlaze



# Использованные среды и методы программирования

В VPX модуле SVP-721 использовалась ПЛИС Xilinx **Virtex-7 XC7VX690T**. Проект ПЛИС разрабатывался в среде **Vivado** в редакторе проектов **IP Integrator** и **IP Packager**. Основным языком программирования - **Verilog**. Также применялись **VHDL** и **Tcl**.

Для реализации сигнальной памяти DRFM применялась блочная память ПЛИС **BRAM**. Деление всего объёма памяти на страницы, соответствующие отдельным радиоимпульсам, обеспечивалось путём запоминания моментов времени начал и концов записываемых радиоимпульсов в отдельный **буфер памяти адресов типа FIFO**.

Перед разработкой проекта ПЛИС сигнальный тракт DRFM был промоделирован в **MATLAB** с учётом целочисленной арифметики, в результате чего были определены необходимые разрядности сигнальных шин во всех участках тракта.

Для управления всеми узлами схемы DRFM посредством программно-доступных регистров и прерываний использовался софт процессор **MicroBlaze**. Данный процессор программировался на языке программирования **C/C++** в среде разработки **SDK из состава Vivado**.

# Программная оболочка Vivado, использованная для синтеза и отладки IP-ядра ПЛИС устройства DRFM

The screenshot displays the Vivado 2015.1 IDE interface for a behavioral simulation. The main window shows a timing diagram with a time scale from 0 ns to 20 ns. The diagram features several signals: a clock signal (ck\_200Mhz) with a period of 5 ns, a reset signal (rst), and data signals (data\_mult\_0[6..]). The signals are shown as green waveforms on a black background. A vertical cursor is positioned at 19.096124000 ns. The Tcd Console at the bottom shows simulation logs, including the message "INFO: [Simctl 6-17] Simulation restarted" and performance metrics for two simulation runs.

Name	Design Unit	Block Type
tb_03	tb_03	Verilog Module
uut	Top_module	Verilog Module
cmpv_0[cmpv_...	cmpv_0[cmpv_...	VHDL Entity
gbl	gbl	Verilog Module

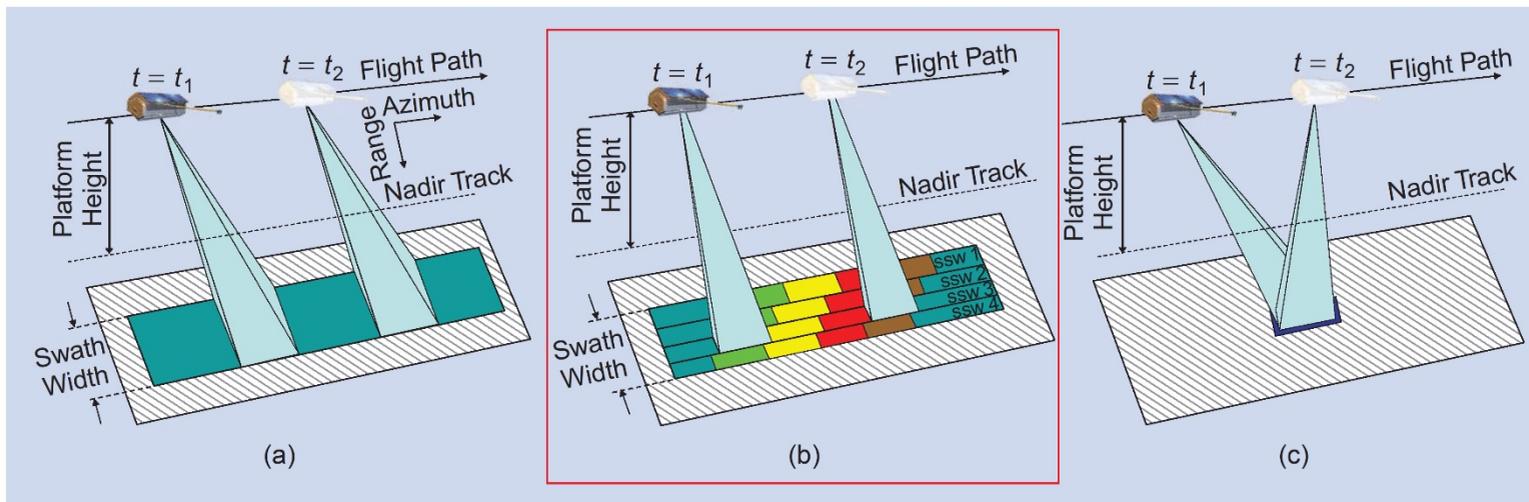
Name	Value	Data Type
ck_200Mhz	1	Logic
ck_250Mhz	1	Logic
rst	1	Logic
cmp_en	1	Logic
dout_q[63:0]	0000000000...	Array
dout_q[63:0]	0000000000...	Array
A[31:0]	0000000000...	Array
B[31:0]	0000000000...	Array
valid_mult	1	Logic
data_mult_0[6..	1111111111...	Array

```
INFO: [Simctl 6-17] Simulation restarted
run: Time (s): cpu = 00:00:03 ; elapsed = 00:08:53 . Memory (MB): peak = 1326.102 ; gain = 0.012
run: Time (s): cpu = 00:00:15 ; elapsed = 00:08:40 . Memory (MB): peak = 1341.102 ; gain = 15.000
```

# Тестирование макета РСА при помощи DRFM

Базовые режимы радиолокационной съёмки, реализуемые при помощи РСА:

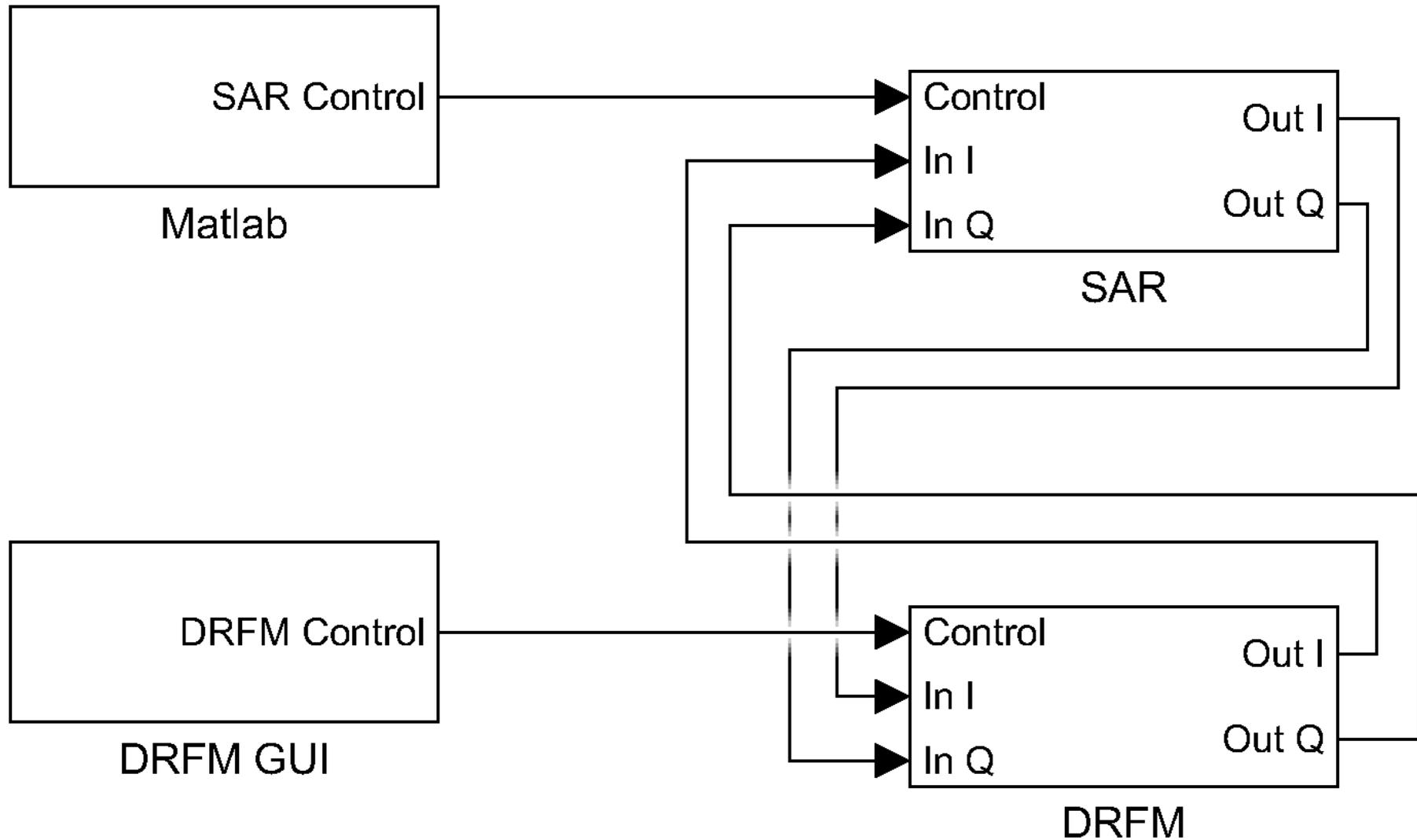
a – StripMap, b – ScanSAR, c – SpotLight



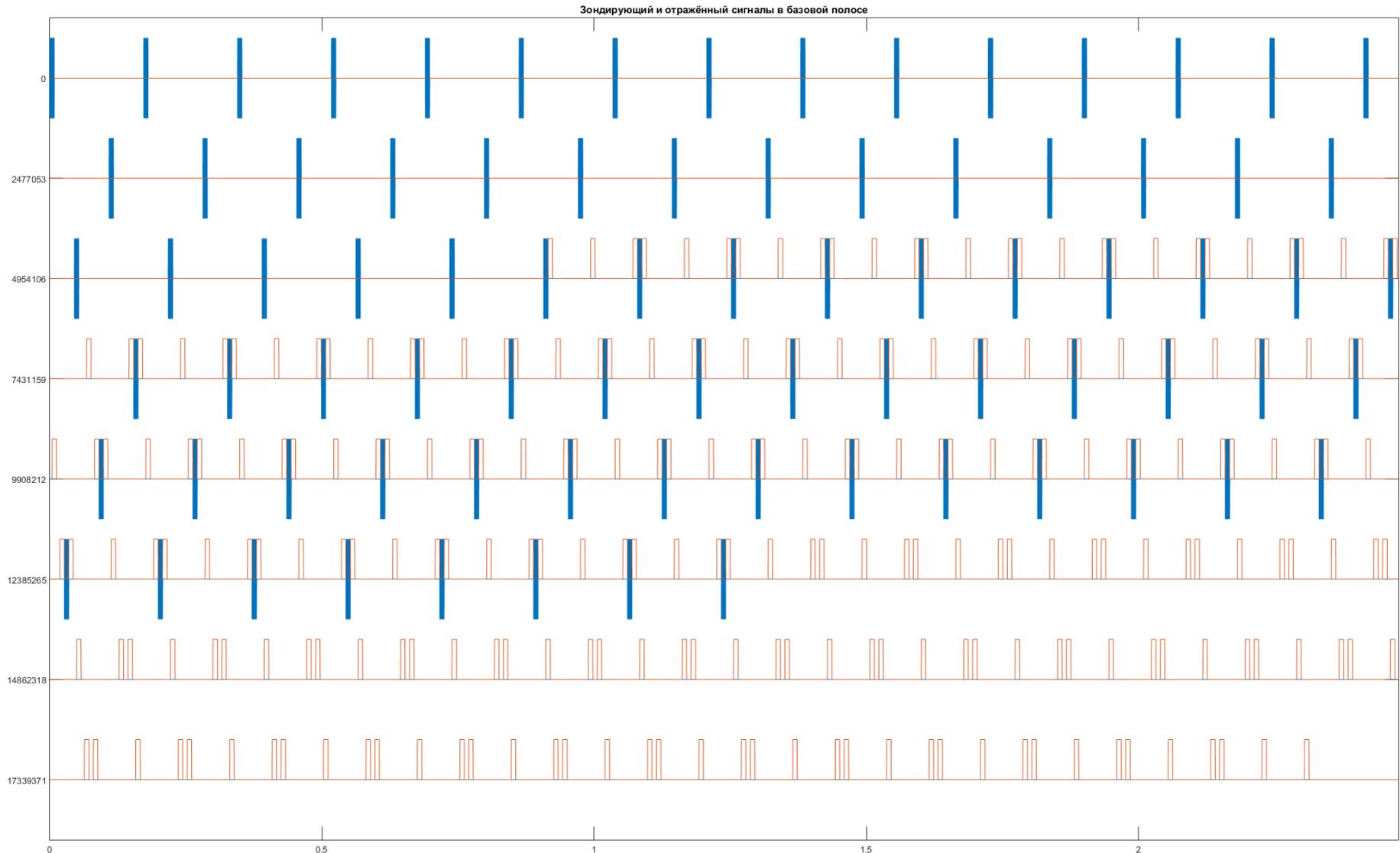
Основные характеристики режима работы тестируемого макета РСА

Диапазон частот	X
Диапазон снимаемых наклонных дальностей, км	1099...1129
Длительность пачки зондирующих радиоимпульсов (время синтеза апертуры), мс	17
Длина синтезируемой апертуры, м	111
Число зондирующих радиоимпульсов в пачке	80
Частота повторения зондирующих радиоимпульсов, Гц	4640.7
Длительность зондирующего радиоимпульса, мкс	8.19
Тип модуляции зондирующих радиоимпульсов	ФКМ
Длина M-последовательности	2047
Число различных чередующихся M-последовательностей в пачке	4
Ширина спектра зондирующего радиосигнала, МГц	250
Размер снимаемого парциального кадра (накл.дальн. x азимут), м	25000x2251
Размер снимаемого парциального кадра (накл.дальн. x азимут), пикселей	99x16
Разрешение по наклонной дальности и азимуту с учётом некогерентного накопления по наклонной дальности (размер одного пикселя РЛИ), м	300x141

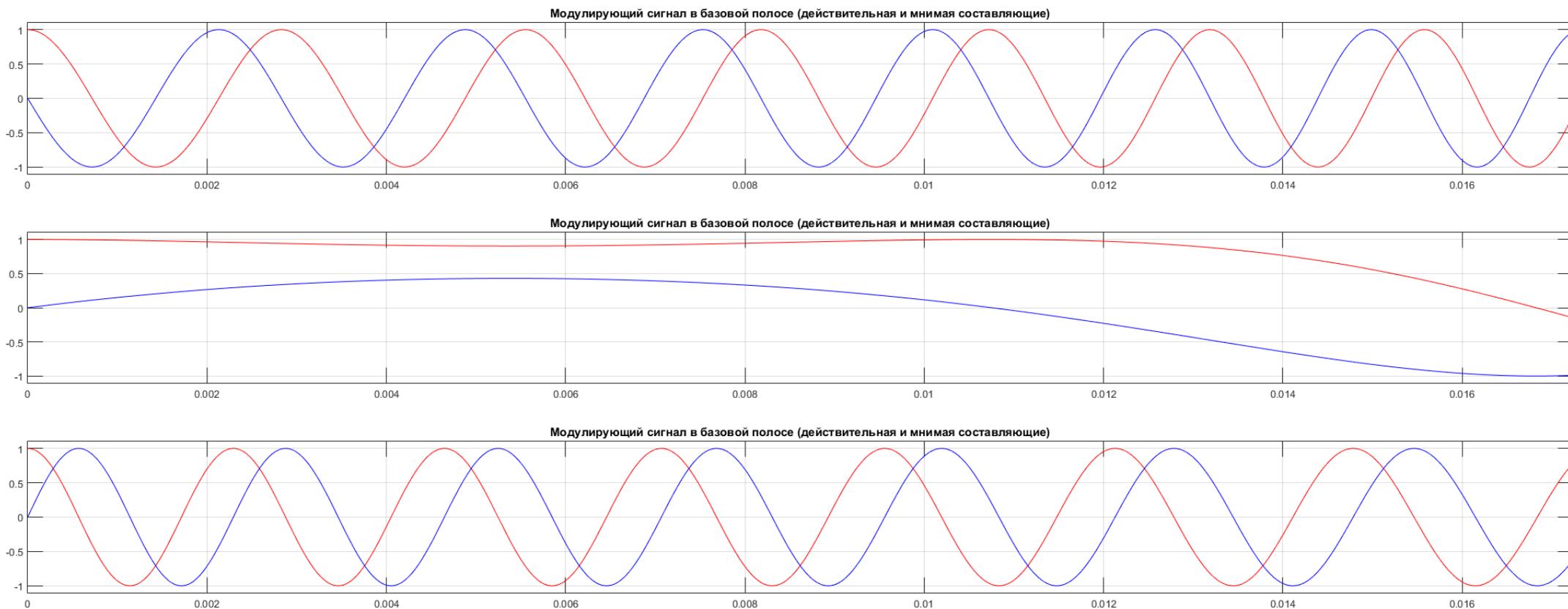
# Схема испытания устройства DRFM совместно с макетом РСА



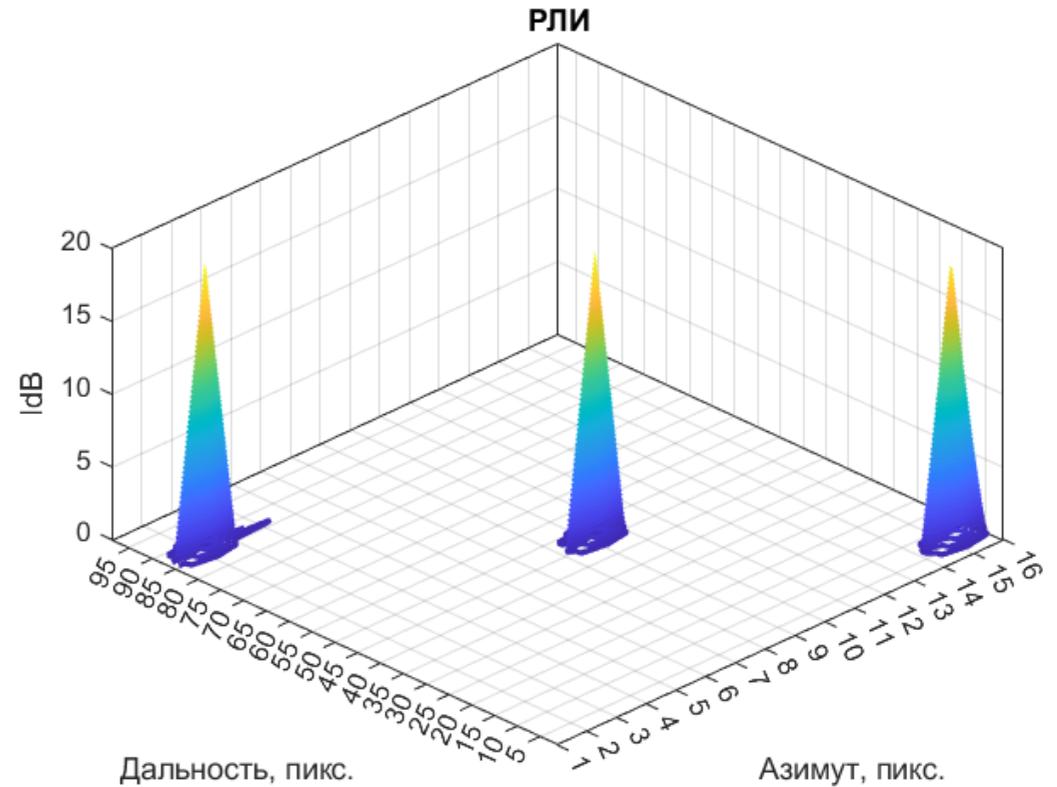
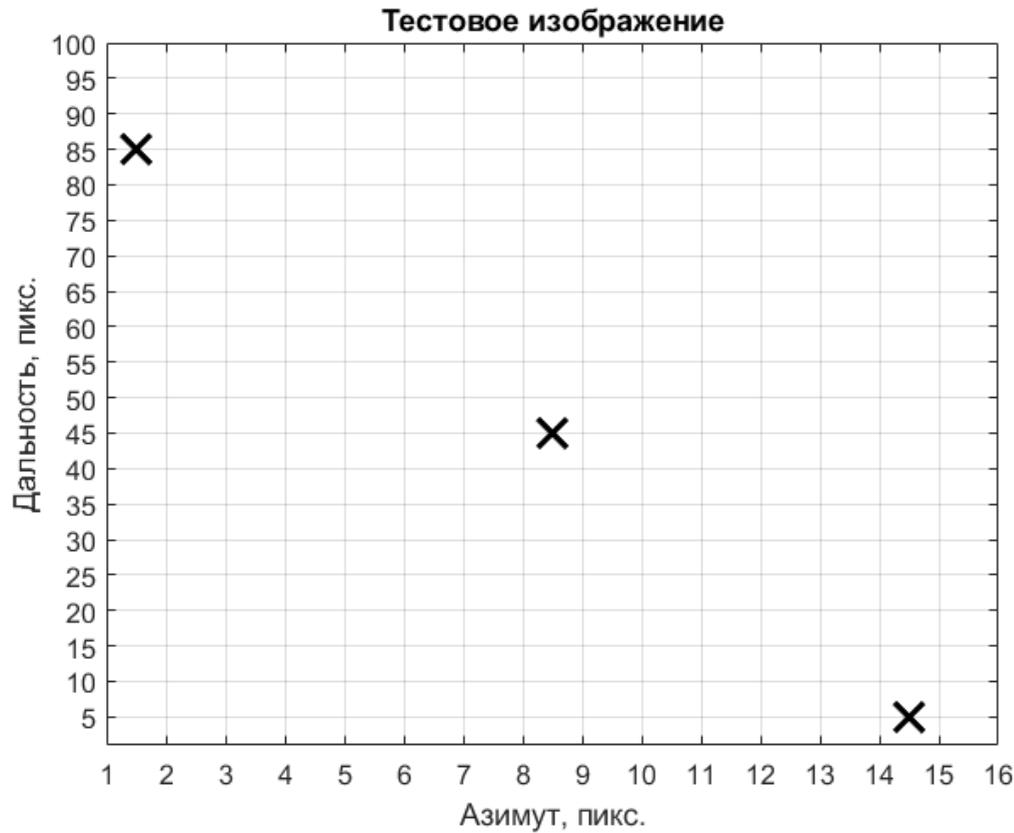
# Осциллограммы входного и выходного сигналов DRFM при формировании ЦРГ трёхточечного тестового кадра



# Осциллограммы модулирующих сигналов (I- и Q- составляющие) трёх точечных отражателей, расположенных в разных местах тестового кадра



# Формирование имитационных отметок для PCA при помощи разработанной DRFM



Тестовое трёхточечное изображение, имитируемое DRFM (слева), и РЛИ, полученное на выходе PCA (справа)

# Выводы

В ходе проведенных работ был разработан и изготовлен стенд, включающий макет PCA и устройство DRFM, позволяющий моделировать, тестировать и отлаживать новые алгоритмы синтеза РЛИ и формирования ЦРГ.

Новизна разработанного устройства DRFM заключается:

- в хранения в сигнальной памяти DRFM значительного числа зондирующих радиоимпульсов до момента ответа на первый радиоимпульс (в отличие от классической DRFM, запоминающей лишь один радиоимпульс), что приводит к увеличению требуемого объёма сигнальной памяти DRFM и необходимости построения других, отличных от традиционных, схем синхронизации записи-считывания радиоимпульсов;
- в формировании новых (отличных от классической DRFM) сложных функций доплеровского сдвига переизлучаемого радиосигнала.



Генеральный партнёр конференции FPGA-Systems  
2024.1



Первая современная отечественная САПР,  
реализующая сквозной цикл проектирования печатных плат



# Где найти FPGA / RTL / Verification комьюнити?

[FPGA-Systems.ru](http://FPGA-Systems.ru)

Сайт комьюнити

[FPGA-Systems Magazine \(FSM\)](#)

Первый журнал о программируемой логике

[@fpgasystems](#)

Телеграм чат

[admin@fpga-systems.ru](mailto:admin@fpga-systems.ru)

Электронная почта

[Youtube.com/c/fpgasystems](https://Youtube.com/c/fpgasystems)

Youtube канал

