



АКЦИОНЕРНОЕ ОБЩЕСТВО
«ЦЕНТРАЛЬНОЕ
КОНСТРУКТОРСКОЕ БЮРО
АВТОМАТИКИ»



АКЦИОНЕРНОЕ ОБЩЕСТВО
«КОРПОРАЦИЯ
«ТАКТИЧЕСКОЕ РАКЕТНОЕ
ВООРУЖЕНИЕ»

РУСВМ ДЛЯ ВЕРИФИКАЦИИ ПО ПЛИС: ГАЙД ДЛЯ ЧАЙНИКОВ





Фаракшина Венера

верификатор на предприятия АО «ЦКБА»

С ЧЕГО ВООБЩЕ ВСЕ НАЧАЛОСЬ





Настройка среды верификации

Написания тестов, моделирования
и анализа результатов

Обзор типичных ошибок и методы их
устранения



Верификация – процесс проверки, работает ли ваш проект так, как задумано.

Цель верификации – выявить ошибки в логике дизайна до его реализации.

Важность верификации: экономит время и деньги.



Инструмент для верификации, упрощает процесс тестирования в VHDL и Verilog проектах

Преимущества PyUVM

Простота

Активное сообщество и богатая документация

Интеграция с существующими фреймворками



ПРИМЕР ФРАГМЕНТА ТЕСТА

```
from pyuvm import uvm_component, uvm_sequence, uvm_driver, uvm_config_db
```

```
class MySequence(uvm_sequence):
```

```
    def body(self):
```

```
        for i in range(5):
```

```
            self.start_item()
```

```
            self.data = i
```

```
            self.finish_item()
```

Генерация стимулов

```
class MyDriver(uvm_driver):
```

```
    def run_phase(self):
```

```
        while True:
```

```
            txn = self.seq_item_port.get_next_item()
```

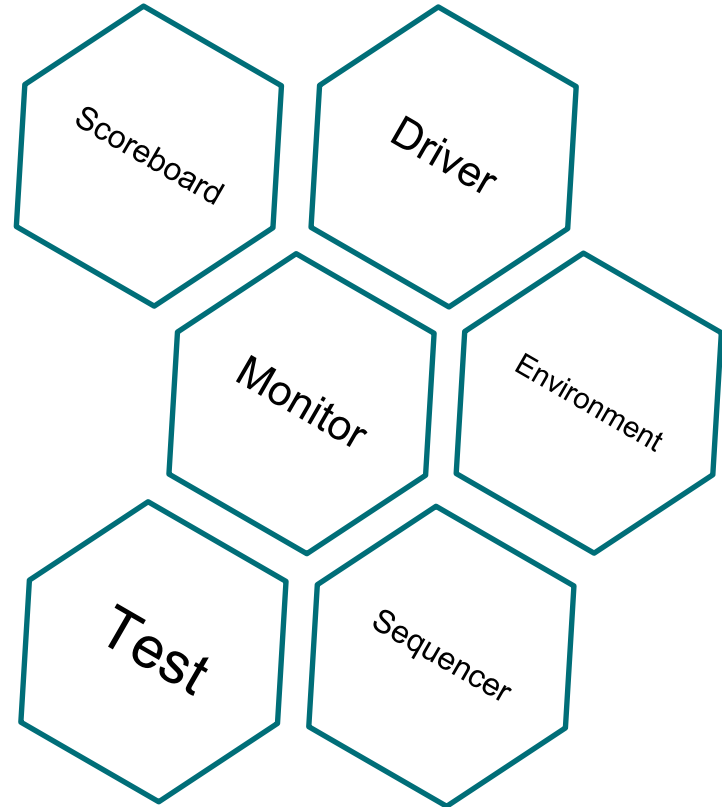
```
            print(f"Sending data: {txn.data}")
```

```
            self.seq_item_port.item_done()
```

Отправка данных в
DUT



Проект TinyALU
представляет из
себя выполнение
базовых
арифметических
и логических
операций.



РЕЗУЛЬТАТЫ ВЫПОЛНЕНИЯ ТЕСТОВ ПРОЕКТА TINYALU



```
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xb5 ADD 0xc0 = 0x0175
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0x1b AND 0x1e = 0x001a
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0x4b XOR 0xd1 = 0x009a
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xeb MUL 0xd2 = 0xc0c6
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xff ADD 0xff = 0x01fe
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xff AND 0xff = 0x00ff
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xff XOR 0xff = 0x0000
50000.00ns INFO [uvm_test_top.env.scoreboard]: PASSED: 0xff MUL 0xff = 0xfe01
```

РЕЗУЛЬТАТЫ ВЫПОЛНЕНИЯ ТЕСТОВ ПРОЕКТА TINYALU



```

*****
** TEST                STATUS SIM TIME(ns) REAL TIME(s) RATIO(ns/s) **
*****
** testbench.AluTest   PASS      51000.00      0.01  3964811.39 **
** testbench.ParallelTest PASS      50000.00      0.01  4350486.46 **
** testbench.FibonacciTest PASS      34000.00      0.01  3214750.59 **
** testbench.AluTestErrors PASS      50000.00      0.01  4608213.76 **
*****
** TESTS=4 PASS=4 FAIL=0 SKIP=0      185000.00      0.13  1399866.93
**
*****

```



Ошибка в коде, тесты не прошли

50000.00ns ERROR testbench.py(222) [uvm_test_top.env.scoreboard]: **FAILED: 0xd4 ADD 0xe8 = 0xffec expected 0x01bc**

50000.00ns INFO testbench.py(219) [uvm_test_top.env.scoreboard]: PASSED: 0xf5 AND 0x40 = 0x0040

50000.00ns ERROR testbench.py(222) [uvm_test_top.env.scoreboard]: **FAILED: 0xff ADD 0xff = 0x0000 expected 0x01fe**

50000.00ns INFO testbench.py(219) [uvm_test_top.env.scoreboard]: PASSED: 0xff AND 0xff = 0x00ff

50000.00ns INFO testbench.py(219) [uvm_test_top.env.scoreboard]: PASSED: 0xff XOR 0xff = 0x0000

РЕЗУЛЬТАТЫ ВЫПОЛНЕНИЯ ТЕСТОВ ПРОЕКТА TINYALU



Информация о пройденных или непройденных тестах

```

*****
** TEST                STATUS  SIM TIME (ns) REAL TIME (s) RATIO (ns/s) **
*****
** testbench.AluTest   FAIL    51000.00    0.01    4212807.31 **
** testbench.ParallelTest FAIL    50000.00    0.01    3890386.97 **
** testbench.FibonacciTest FAIL    12000.00    0.01    1377628.25 **
** testbench.AluTestErrors PASS    50000.00    0.01    4272838.78 **
*****
** TESTS=4 PASS=1 FAIL=3 SKIP=0    163000.00    0.13    1232249.16 **
*****

```

ОПЫТ ВЕРИФИКАЦИИ ПРОЕКТА ПО ПЛИС «СЛОЖЕНИЕ МНОГОРАЗРЯДНЫХ ПОЛОЖИТЕЛЬНЫХ ЧИСЕЛ»



Цели верификации проекта

Проверка сложения
многоразрядных чисел

Проверка поведения
программы при подаче
отрицательного числа

Проблемы:

- Устаревшее оборудование и ПО
- Получение лицензии questasim
- Отсутствие библиотек Xilinx в симуляторе Questasim



Questasim — симулятор, позволяющий отследить и проверить проекты на ПЛИС

Интеграция с
PyUVM

Процесс
верификации
более удобный
и эффективный

Создание и
управление
тестами

Взаимодействие с
другими
компонентами
вашей тестовой
среды

Simulation Compilation Library Wizard - инструмент, позволяющий компилировать библиотеки, такие как xilinxcorelib



Для работы QuestaSim потребуется загрузить установочный файл

```
> chmod +x QuestaSetup-23.1std.1.993-linux.run  
> ./QuestaSetup-23.1std.1.993-linux.run
```



В файл `.bashrc` добавить:

```
export PATH="/intelFPGA/23.1std/questa_fse/linux_x86_64":$PATH
```

Выполнить команды

```
> source ~/.bashrc
```

```
> vsim.
```

ОБНОВЛЕНИЕ НАСТРОЕК

ЗАПУСК QUESTASIM



```
> vsim
```

```
** Fatal: Failed to initialize licensing environment. License  
environment not set correctly.
```

```
Unable to checkout a license. Vsim is closing.
```

```
** Error: Invalid license environment. Application closing.
```

```
export
```

```
LM_LICENSE_FILE="intelFPGA/23.1std/questa_fse/license.dat":$
```

```
LM_LICENSE_FILE
```



```
# -- Loading package std_logic_1164
# -- Compiling entity Adder_first_stage
# -- Compiling architecture Adder_first_stage_a of Adder_first_stage
# ** Error: (vcom-13) Recompile xilinxcorelib.xbip_addsub_v2_0_comp because
ieee.std_logic_1164, std.textio have changed.
# ** Error (suppressible):
```

```
/sources/Adder_first_stage.vhd(64): (vcom-1195) Cannot find expanded name
"xilinxcorelib.c_addsub_v11_0".
```

```
# ** Error: /home/ubuntu/fourth_project/sources/Adder_first_stage.vhd(65): (vcom-
1105) Name (indexed name) does not denote an entity name.
# ** Error: /home/ubuntu/fourth_project/sources/Adder_first_stage.vhd(64):
Unknown expanded name.
# ** Note: /home/ubuntu/fourth_project/sources/Adder_first_stage.vhd(105): VHDL
Compiler exiting
```

УСТАНОВКА И ИНТЕГРАЦИЯ БИБЛИОТЕК XILINXCORELIB



Xilinx Simulation Library Compilation Wizard - Select Simulator

Select Simulator

ModelSim PE

ModelSim SE

ModelSim DE

Questa Simulator

Riviera-PRO

Active-HDL

Select 32-Bit or 64-Bit Format

32-Bit

64-Bit

Simulator Executable Location (The -p command-line option)

C:\questasim64_2021.1\win64

Compxlib Configuration File (The -cfg command-line option)

compxlib.cfg

Compxlib Log File (The -log command-line option)

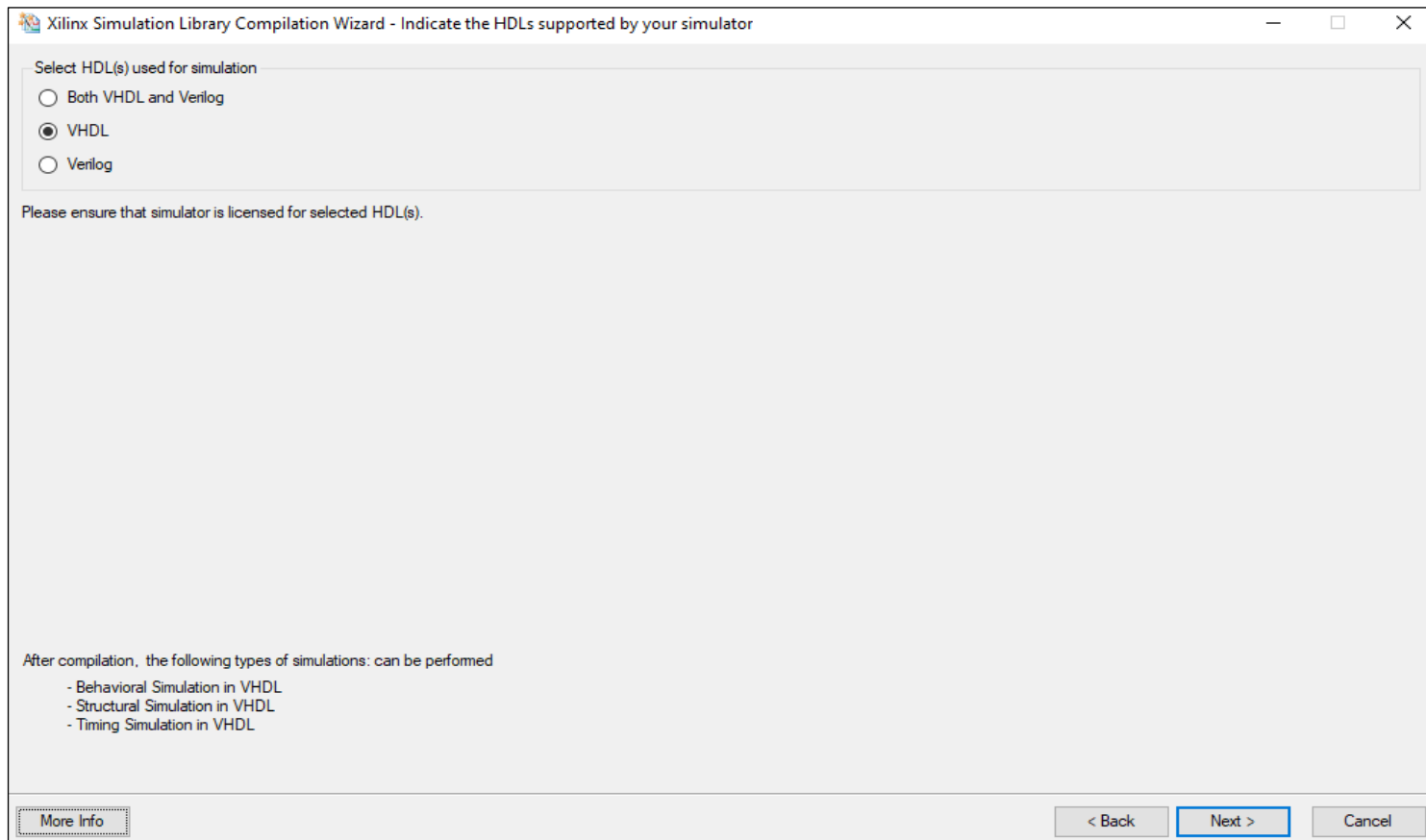
compxlib.log

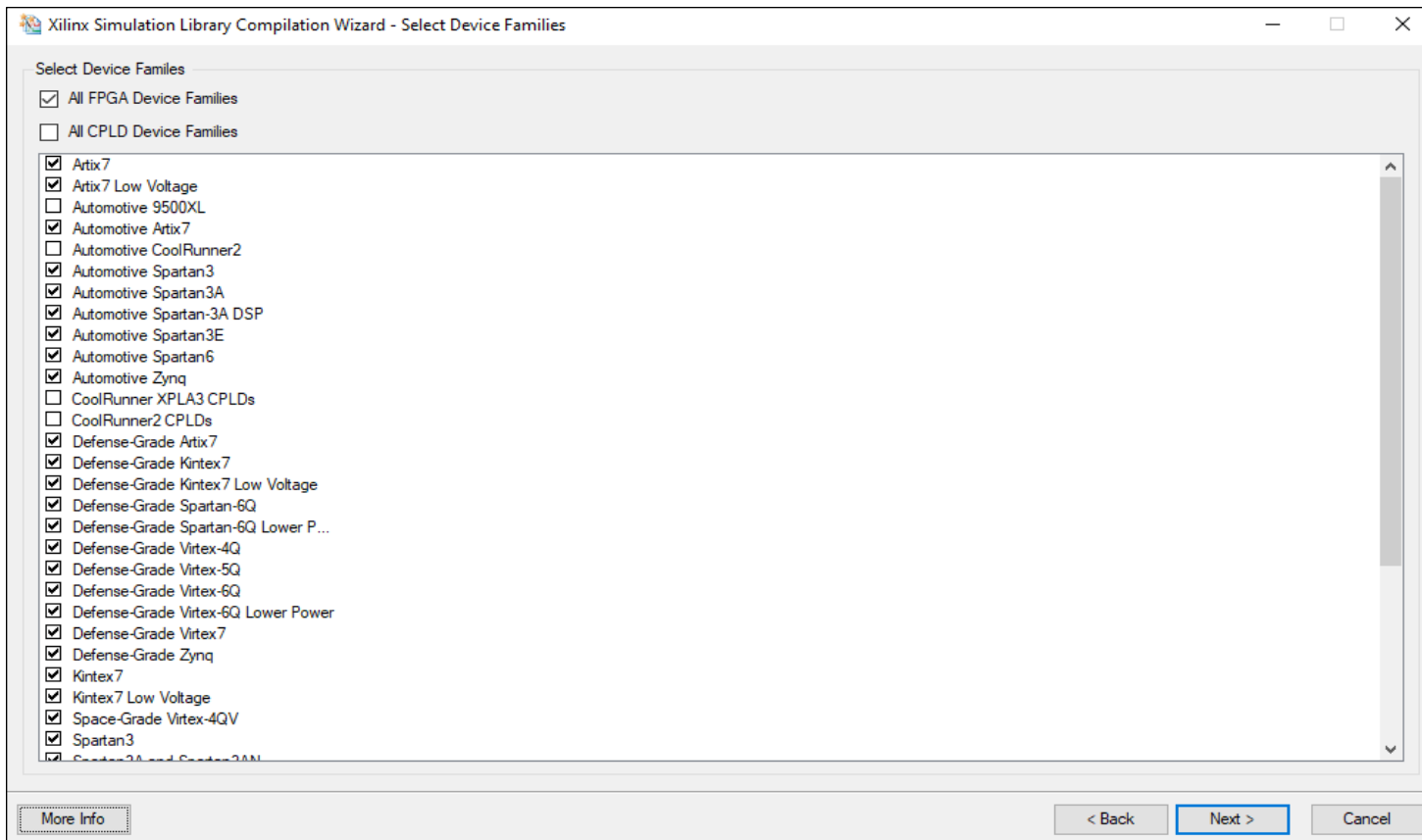
Do not use this wizard For ISim or ModelSim Xilinx Edition as they come with pre-compiled simulation libraries. Only specific versions of the simulators are supported. Please verify that the selected simulator version satisfies the following requirements:

ModelSim/Questa Simulator 10.1a and later

Riviera 2010.10 or later

Active-HDL 8.3 or later





УСТАНОВКА И ИНТЕГРАЦИЯ БИБЛИОТЕК XILINXCORELIB



Xilinx Simulation Library Compilation Wizard - Select Simulation Libraries

Select libraries for Functional and Timing Simulation

- All libraries
- FPGA designs(UNISIM)
- CPLD designs (CPLD, UNI9000)
- CORE Generator (XilinxCoreLib)
- Timing Simulation library for FPGA and CPLD designs (SIMPRIM)
- EDK Simulation Library

Specify more library source path (The `-source_lib` command-line option):

Specify more Complib command-line option:

More Info < Back Next > Cancel

УСТАНОВКА И ИНТЕГРАЦИЯ БИБЛИОТЕК XILINXCORELIB



Xilinx Simulation Library Compilation Wizard - Output directory for compiled libraries

Output directory for compiled libraries

Map only to existing pre-compiled libraries (i.e. no -w overwrite command-line option)

Exclude superseded (-exclude_superseded option for EDK only)

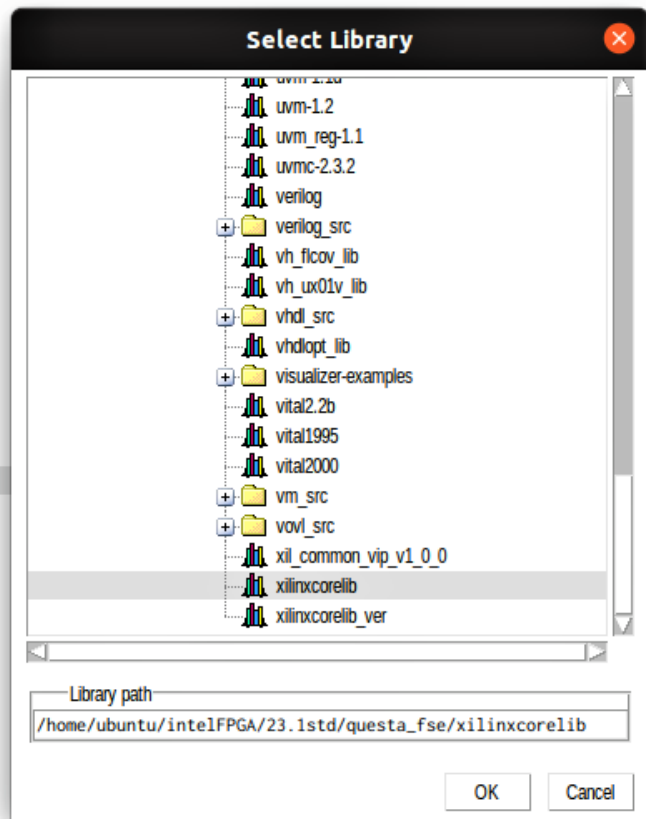
Exclude sublib (-exclude_sublib option for EDK only)

Verbose (-verbose)

You need to remove those entries in angle brackets if you are changing the location to something other than the default.

Choosing Map only option is same as not including -w argument in compxlib

УСТАНОВКА И ИНТЕГРАЦИЯ БИБЛИОТЕК XILINXCORELIB





```
# Loading std.standard
# Loading std.textio(body)
# Loading ieee.std_logic_1164(body)
# Loading ieee.numeric_std(body)
# Loading ieee.std_logic_arith(body)
# Loading ieee.std_logic_unsigned(body)
# Loading work.max(behavioral)#1
# Loading xilinxcorelib.xbip_addsub_v2_0_comp
# Loading xilinxcorelib.bip_utils_pkg_v2_0(body)
# Loading xilinxcorelib.bip_usecase_utils_pkg_v2_0(body)
# Loading xilinxcorelib.c_addsub_pkg_v11_0(body)
# Loading xilinxcorelib.xbip_pipe_v2_0_xst_comp
# Loading work.adder_first_stage(adder_first_stage_a)#1
# Loading xilinxcorelib.xbip_dsp48_addsub_v2_0_comp
# Loading xilinxcorelib.c_addsub_v11_0(behavioral)#1
# Loading ieee.std_logic_signed(body)
# Loading xilinxcorelib.xbip_pipe_v2_0_comp
# Loading xilinxcorelib.bip_dsp48_addsub_pkg_v2_0(body)
# Loading xilinxcorelib.xbip_dsp48_addsub_v2_0(behavioral)#1
# Loading xilinxcorelib.xbip_pipe_v2_0(behavioral)#5
# Loading xilinxcorelib.xbip_pipe_v2_0_xst(behavioral)#1
# Loading work.adder_second_stage(adder_second_stage_a)#1
# Loading xilinxcorelib.c_addsub_v11_0(behavioral)#2
# Loading /home/ubuntu/.local/lib/python3.8/site-packages/cocotb/libs/libcocotbfli_modelsim.so
```

ПОДКЛЮЧЕНИЕ
БИБЛИОТЕК xilinxcorelib

РЕЗУЛЬТАТ ВЕРИФИКАЦИИ ПРОЕКТА



```

# 5000.00ns INFO testbench.py(171) [uvm_test_top.env.scoreboard]: PASSED:
(944473296573929042739 + 944473296573929042739) + (944473296573929042739 +
944473296573929042739) = 3777893186295716170956
# 5001.00ns INFO cocotb.regression
*****
*
TEST                STATUS  SIM TIME(ns) REAL TIME(s) RATIO(ns/s) **
#
*****
*
testbench.SumTest   PASS    5001.00      0.28         18067.84 **
#
*****
*
TESTS=1 PASS=1 FAIL=0 SKIP=0    5001.00      0.30         16609.01 **
#
*****

```

РЕЗУЛЬТАТ ВЕРИФИКАЦИИ ПРОЕКТА



```

# 5000.00ns ERROR testbench.py(175) [uvm_test_top.env.scoreboard]: FAILED:
(9444732965739290427391 + 944473296573929042739) + (944473296573929042739 +
944473296573929042739) = 7555786372591432341912 expected 12278152855461077555608
*****
*****
** TEST                                STATUS  SIM TIME (ns) REAL TIME (s) RATIO (ns/s) **
*****
*****
** testbench.SumTest                   FAIL    5001.00      0.18        28023.82 **
*****
*****
** TESTS=1 PASS=0 FAIL=1 SKIP=0       5001.00      0.20        24664.28 **
*****

```



Спасибо за внимание!

АКЦИОНЕРНОЕ ОБЩЕСТВО
«ЦЕНТРАЛЬНОЕ КОНСТРУКТОРСКОЕ БЮРО АВТОМАТИКИ»