

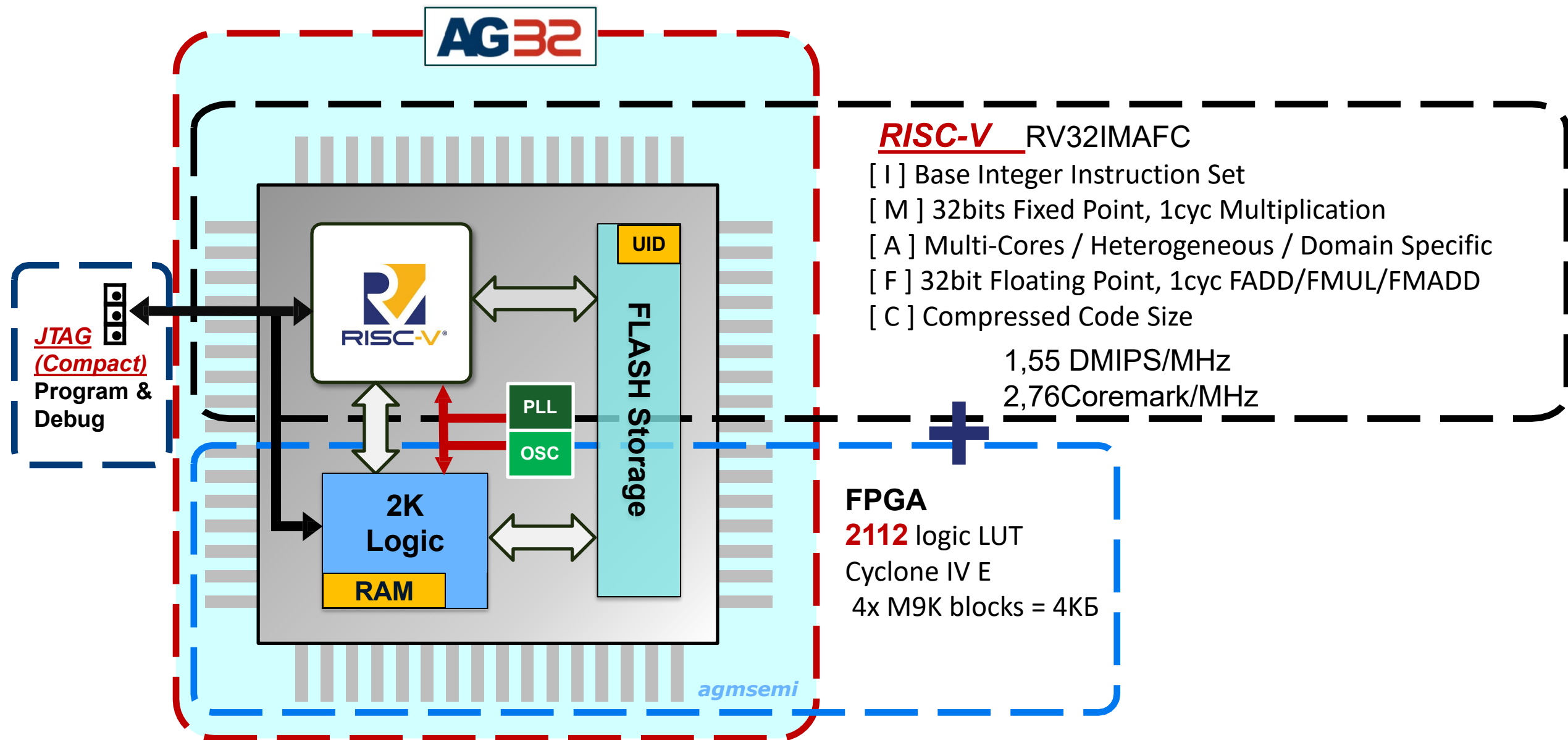
VII КОНФЕРЕНЦИЯ FPGA/RTL/Verification

# FPGA-Systems 2024.2



**Плата семейства Arduino на СМК RISC-V со встроенной программируемой логикой**

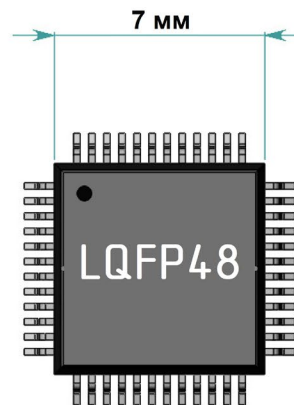
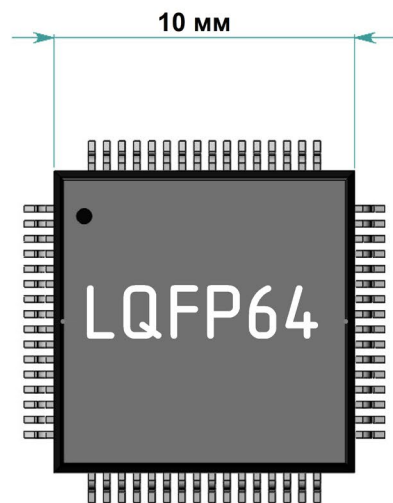
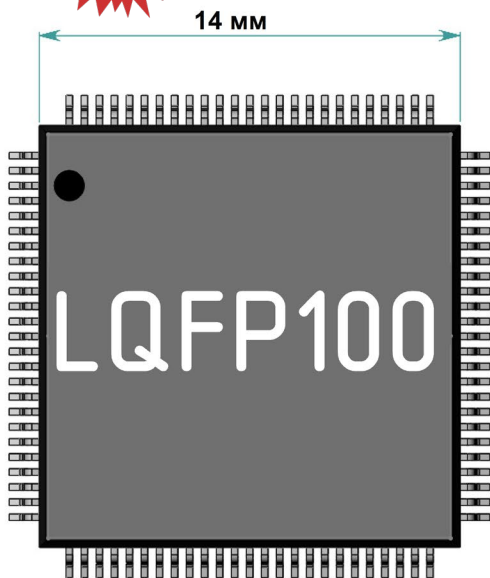
ФИО: Куклов Евгений , Сыров Александр  
Контакты [e-kuklov@yandex.ru](mailto:e-kuklov@yandex.ru), [sav@getchips.ru](mailto:sav@getchips.ru)



Series	Max Speed ( MHz )	Memory		LQFP100	LQFP64	LQFP48	QFN32
		Flash	Ram	76 GPIO	47 GPIO	32 GPIO	24 GPIO
AG32VF407	248	512-1024 K	128K	✓	✓	✗	✗
AG32VF303	208	256-1024 K	128K	✓	✓	✓	✓
AG32VF205	184	256-1024 K	128K	✓	✓	✗	✗
AG32VF107	168	128 - 1024 K	128K	✓	✓	✗	✗
AG32VF103	168	16 - 1024 K	128K	✓	✓	✓	✗



AG32VH407 + 64Mbit PSRAM



Совместимость pin-2-pin с STM32/GD32/AT32/G32..  
От ST / GigaDevice / ARTERY / ...

Матрица подключения GPIO к периферии!!  
( привязаны только аналоговые блоки. )

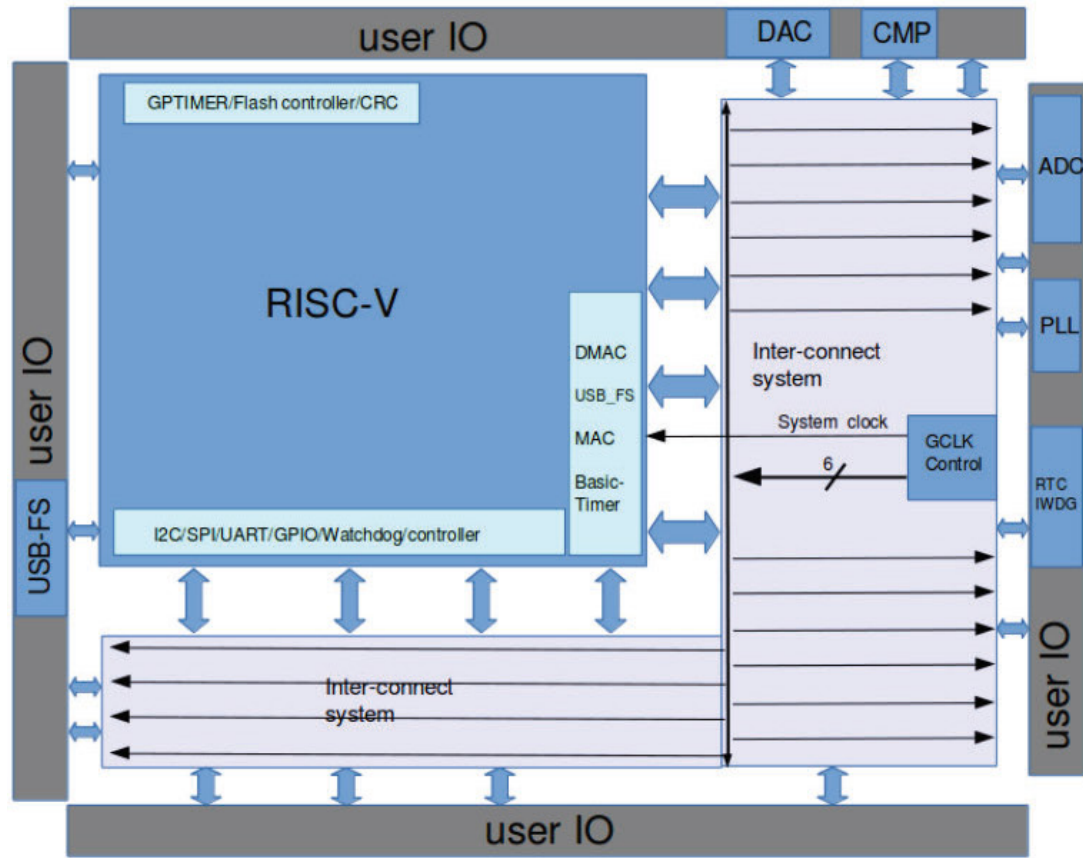
	Периферия	Количество
Timer	GP/ Adv TM 32	5
	Bsc TM 32	2
	Sys Tick 64	1
	WDG	2
	RTC	1
Connectivity	UART	5
	I2C	2
	SPI	2
	CAN 2.0	1
	USB 2.0	FS+OTG
	ETH MAC 100 MII/RMII	1
	Crypto/Hash	1
Analog	ADC 12bit (1MHz)	3 ( 17 CH )
	DAC 12 bit	2
	Comp	2

Дополнительно:

- ID 128-bit
- Voltage 3,0-3,6V
- Супервизор по ресету
- Internal 20MHz oscillator
- Рабочая температура -40 / +85

Матрица подключения  
GPIO к периферии!!

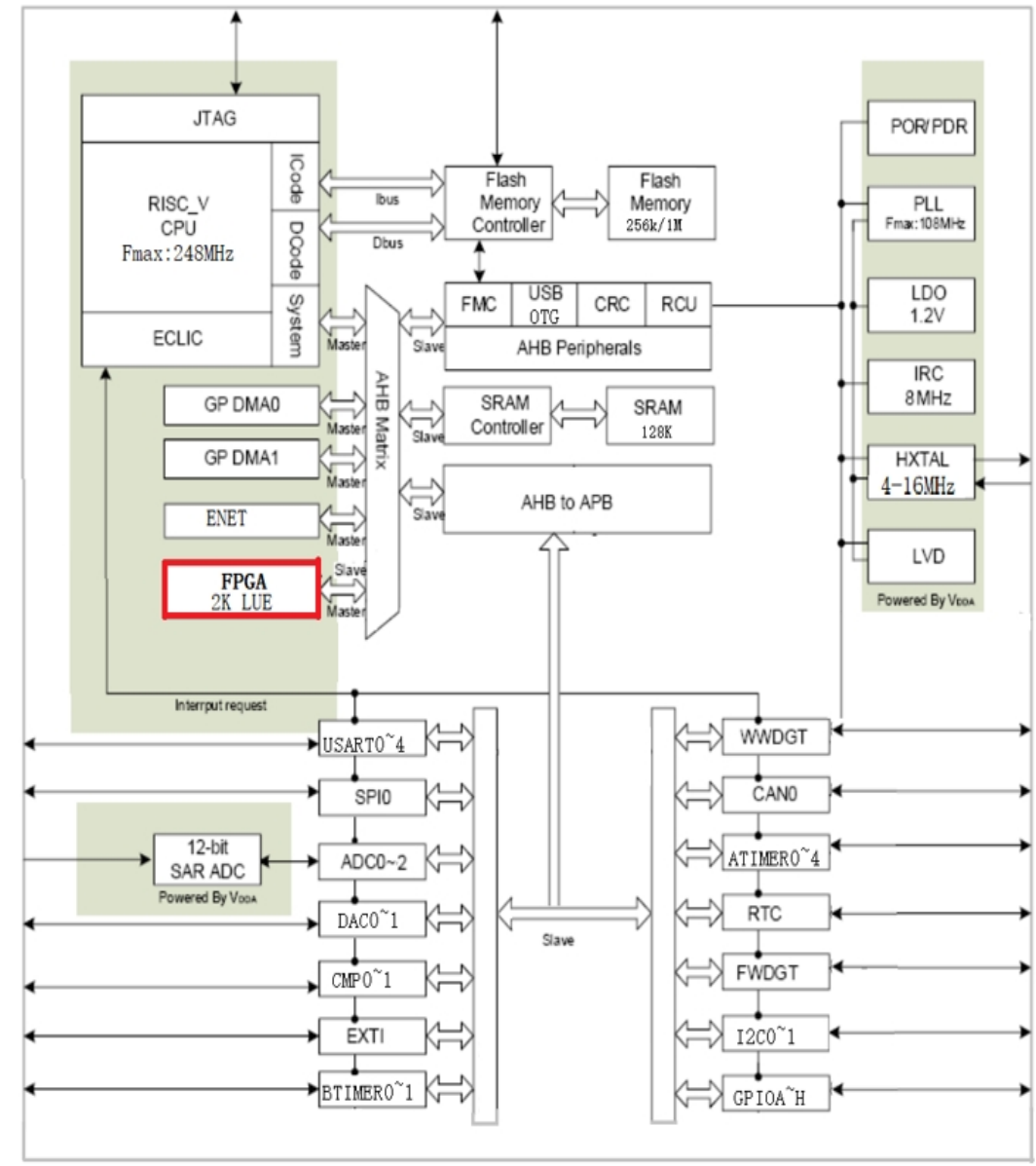
# Что внутри.. ТОНКОСТИ



## Между CPU и FPGA :

- 80 линий связи. ( 10 шт 8 бит портов )
- Шина AHB Data[32] и ADR[32]
- Шина APB Data[32] и ADR[32]
- Сигналы взаимодействия с DMA
- 4 вектора Прерывания.

**FPGA** настраивает: GPIO и PLL

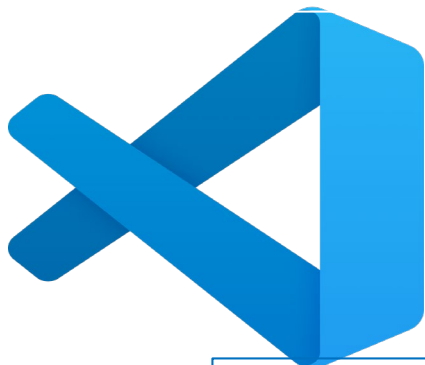


AGM32 内部框图





Visual Studio Code



PlatformIO



python™

SDK  
AgRV\_pio

**AG32 用户入门指引**

Руководство пользователя  
AG32 по началу работы.  
8 примеров



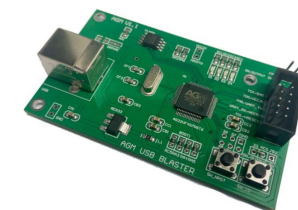
MAXII  
Cyclone IV

**SUPRA**

zadig-2.8  
для Jtag openocd

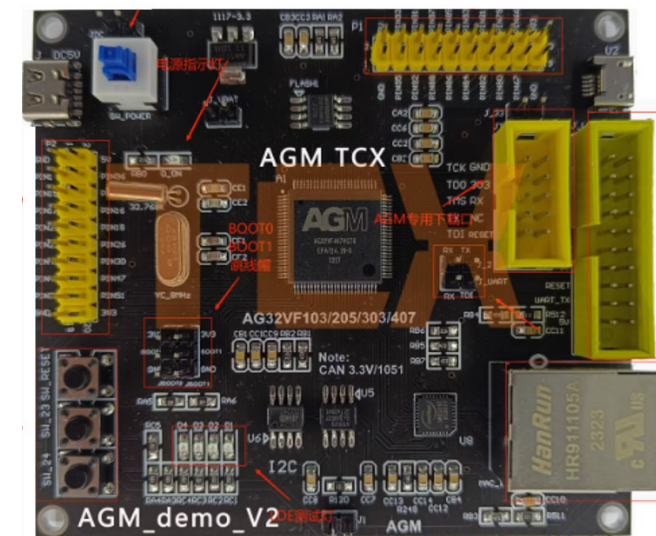
AGM Blaster

Altera USB Blaster



Примеры AgRV\_pio:

- Dfu Uart/Usb – загрузчик
- embOS/ freeRTOS/ uCOS / rthread
- Lwip – Ethernet
- Usb подключение
- SPI/Uart/I2C/CAN/Timer/ADC



# Начало с Vscode Platformio



SUPRA



example\_board.ve

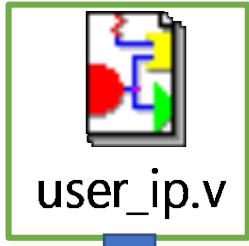
```
SYSCLK 240
HSECLK 8
LED_TEST1 PIN_31 # LED1
LED_TEST2 PIN_32 # LED2
GPIO4_2 PIN_33 # LED3
GPIO4_3 PIN_34 # LED4
```

```
UART0_UARTRXD PIN_69
UART0_UARTTXD PIN_68
```

RUN

/logic

```
example_board.hx
example_board.v
example_board.vex
user_ip_tmpl.v
```



user\_ip.v

/logic

/alta\_db

```
example_board.sdc
example_board.qsf
example_board.qpf
af_quartus.tcl
af_ip.tcl
af_map.tcl
af_run.tcl
af_batch.tcl
example_board.proj
example_board.pre.asf
example_board.asf
example_board.post.asf
```

The screenshot shows the PlatformIO IDE interface. On the left, the 'PROJECT TASKS' panel is expanded to 'Custom', with 'Prepare LOGIC' selected. The main editor displays the 'platformio.ini' file with the following configuration:

```
[setup]
boards_dir = boards
board = agrv2k 407
board_logic.ve = example_board.ve

ip_name = user_ip
logic_dir = logic

framework = agrv_sdk
program = agm_example

src_dir = src
include_dir = src
src_filter = "-<*> +<*.c>"

#ips_dir = ../ips
#board_build.ldscript = AgRV2K_FLASH.ld
#board_logic.compress = true
lwip_imp_dir =
tinyusb_imp_dir =
#wip_param = freertos
#tinyusb_param =
#board_build.boot_addr = upload
```

SDK AgRV\_pio

/src

example.c

```
example_analog.c
example_can.c
example_crc.c
example_fcb.c
example_flash.c
example_gpio.c
example_gptimer.c
example_i2c.c
example_rtc.c
example_spi.c
example_system.c
example_timer.c
example_uart.c
example_watchdog.c
example.h
```

RUN

agm\_example.bin

# Компиляция проекта логики



SUPRA



Quartus Prime Standard Edition - C:/AGRV1.6.0/AGM\_prog/Test/logic/example\_board - example\_board

File Edit View Project Assignments Processing Tools Window Help

example\_board

Project Navigator Hierarchy

Entity: In

Cyclone IV E: EP4CE75F29C8

- top
  - alta\_gclskw:gclskw\_inst
  - user\_ip:macro\_inst
  - altpll:pll\_inst
    - altpll\_hg32:auto\_generated
    - alta\_rv32:rv32

Table of Contents

Flow Summary

Flow Status Successful - Thu Oct 10 23:13:46 2024

Quartus Prime Version	16.1.0 Build 196 10/24/2016 SJ Standard Edition
Revision Name	example_board
Top-level Entity Name	top
Family	Cyclone IV E
Device	EP4CE75F29C8
Timing Models	Final
Total logic elements	179 / 75,408 (< 1 %)
Total registers	2
Total pins	67 / 427 (16 %)
Total virtual pins	1
Total memory bits	0 / 2,810,880 (0 %)
Embedded Multiplier 9-bit elements	0 / 400 (0 %)
Total PLLs	1 / 4 (25 %)

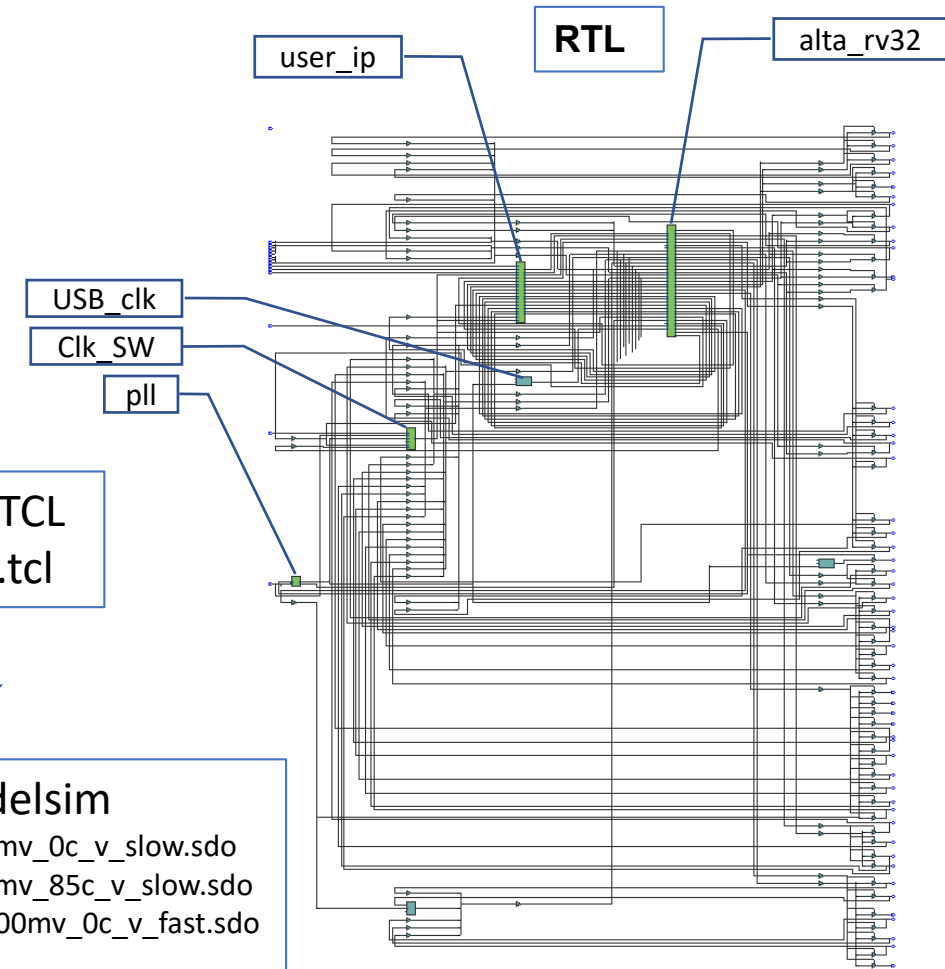
Tasks Compilation

Task

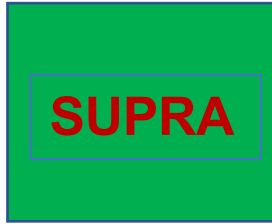
Запускаем TCL  
af\_quartus.tcl



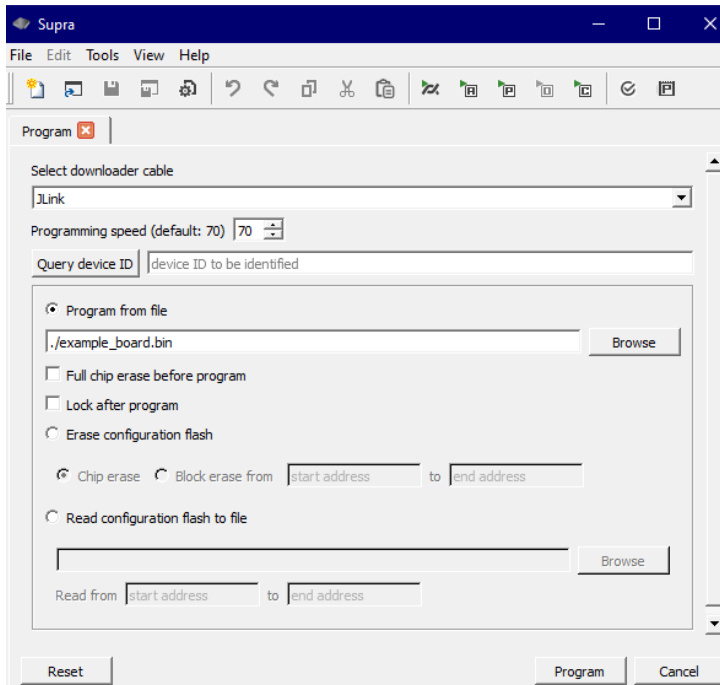
```
\simulation\modelsim
example_board_8_1200mv_0c_v_slow.sdo
example_board_8_1200mv_85c_v_slow.sdo
example_board_min_1200mv_0c_v_fast.sdo
example_board_v.sdo
example_board.sft
example_board.vo
example_board_8_1200mv_0c_slow.vo
example_board_8_1200mv_85c_slow.vo
example_board_min_1200mv_0c_fast.vo
example_board_modelsim.xrf
```





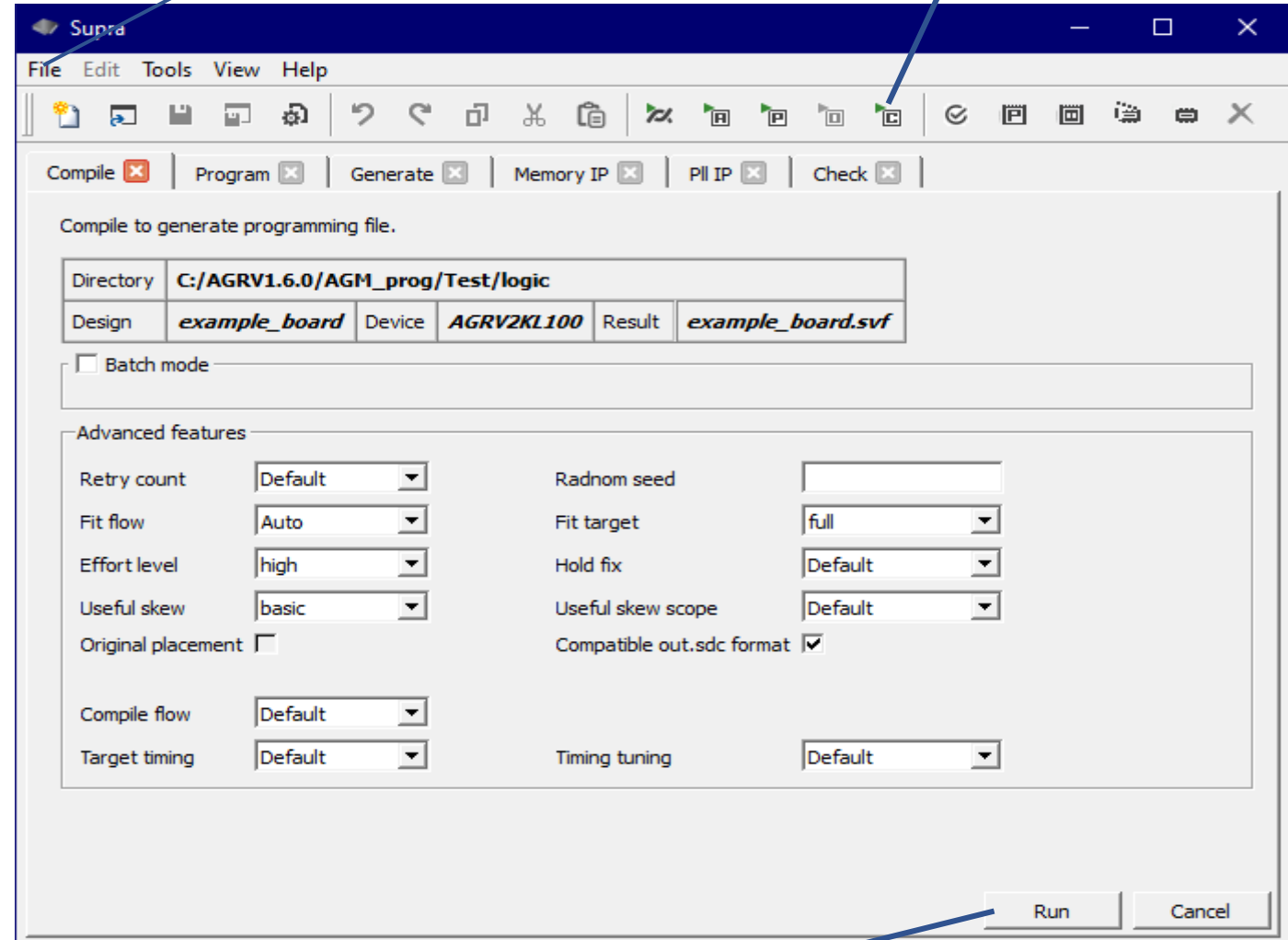


example\_board.bin  
Размером 99944 байт  
Помещается в последнее 100КБ FLASH



1. Open  
example\_board.proj

2. Compile



3. RUN

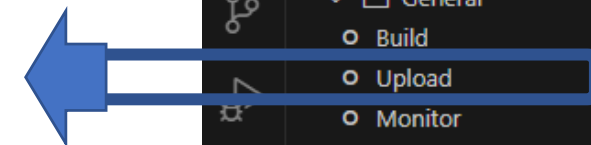
# Загрузка прошивки и отладка



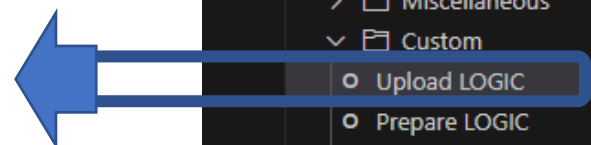
SUPRA



CPU  
agm\_example.bin 0x80000000  
Отладка/терминал



Logic  
example\_board.bin 0x800e7000  
для 407 с 1024k Flash



The screenshot shows the PlatformIO IDE interface. On the left, the 'PROJECT TASKS' menu is expanded to 'Custom', where 'Upload LOGIC' is highlighted. On the right, the 'platformio.ini' file is open, showing configuration for the 'dev' environment. The 'upload\_port' is set to 'COM3' and 'debug\_speed' is set to '10000'. The 'batch\_user\_bin' is set to 'example\_board.bin:0x800e7000'.

```
platformio.ini AGM_example_gpioToCpldToPin_240MHz PIO Home
Test > platformio.ini
33
34 [setup_batch]
35 # By default, the "Create Batch" command will create a
36 # Additionally, other user binary files can be specified
37 # name, in which case the specified value will be directly
38 batch_user_bin = example_board.bin:0x800e7000
39
40 # A user defined logic bin can be specified. This will
41 batch_user_logic = example_board.bin
42
43 logger_if = UART1
44 #upload_port = /dev/ttyUSB0
45 #monitor_port = /dev/ttyUSB0
46 upload_port = COM3
47 monitor_port = COM3
48 monitor_speed = 115200
49 debug_speed = 10000
50
51 #debug_tools = cmsis-dap-openocd
52 #upload_protocols = cmsis-dap-openocd
53 #debug_tool = cmsis-dap-openocd
54 #upload_protocol = cmsis-dap-openocd
55 debug_tool = jlink-openocd
56 upload_protocol = jlink-openocd
57
58 build_flags = -DBAUD_RATE=115200
59 #build_src_flags =
60
61 #check_tool = cppcheck, clangtidy, pvs-studio
62 #check_device = false
63 #check_logic = false
```

## AG32 用户入门指引

Руководство пользователя AG32 по началу работы.

1) Led моргание из FPGA / CPU не работает..

2) ADC/DAC из FPGA / CPU не работает..

3) Led моргание из CPU  
FPGA добавляет инверсию GPIO ..

4) ADC из FPGA и CPU.

5) Доступ с CPU к FPGA Через  
AHB и APB шину

6) Запись в UART из FPGA через  
шину AHB с CPU.

7) Реализация SPI\_in 128 бит в FPGA  
через шину AHP с CPU.

8) Реализация DMA между FPGA и  
CPU используя ADC +

- Низко-уровневый загрузчик UART

- Примеры настройки периферии CPU  
Timer захват/сравнение  
SPI / UART / DMA / INT  
USB CDC/HID/MIDI

- Описание с SDK  
FreeRTOS Kernel V10.4.6  
uC/OS-III V3.08.01

### Ожидаем

- Использование прерывания от FPGA.
- Использование RAM M9K.
- Шифрования прошивки ( пока только Lock )
- Больше информации о 5 вольтовой совместимости GPIO.

# <https://gitverse.ru/AGM-micro>

- SDK Win64/Linux - AgRV\_pio
- Supra
- Оригинальные описания на “Быстрый старт”  
+Переводы на русский язык
- Примеры оригинальные и пересобранные  
+ описания к ним



Благодарим за помощь

**Сергея Балакший**

[sergebn@mail.ru](mailto:sergebn@mail.ru)



@SergeBN



## Какие проекты возможно поместить в 2K LUT...

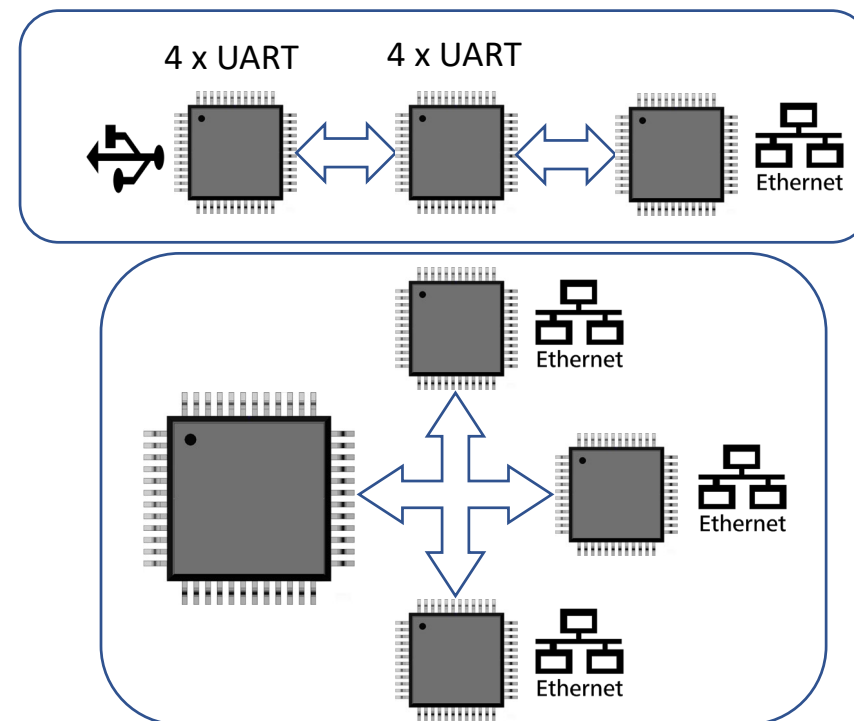
- Синтезируемый MAC MII Ethernet 100M - ~1200 LUT 2K RAM  
MAC MII Ethernet 1G ~1800 LUT
- AVR Classic Core 1K LUT
- Реализация PID регулятора 16 bit 100- 300 LUT

### Варианты:

- Использование МК как память SRAM/FiFO/Dual\_RAM + обработка данных или передача через встроенную периферию. Организация кластеров.
- Реализация low cost DC/DC с различной топологией и цифровым управлением.
- Управление двигателями.

### Периферия

- S-PDIF / PCM / I2S
- PWM через сдвигающий/параллельный регистр
- Подключение различных энкодеров.
- Сигмадельта модулятор от датчиков тока
- Синтезируемый DMA



# Оценка возможностей AG32 и выводы

- Проект LA104 портативный логический анализатор STM32F103VCT6 + 1K FPGA

<https://github.com/gabonator/LA104>

## LA104



### Input

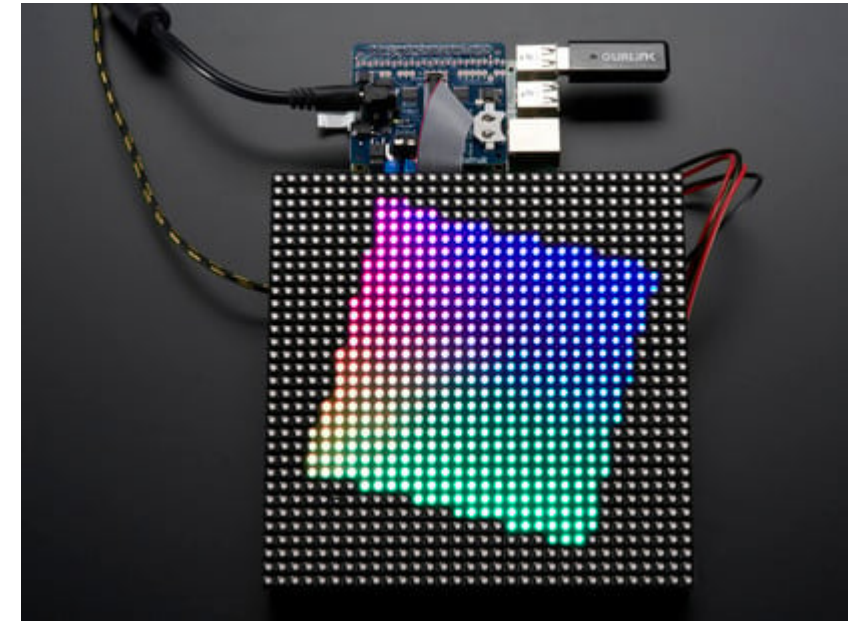
- Channels: 4
- Max Sample Rate: 100Mhz
- Minimum capture pulse width: 10ns
- Input impedance: 1MΩ

### Output

- Channels: 4
- Mode: SPI, I2C, PWM
- 3V out put Channel: 1

- Storage: 8MB USB flash disk memory
- Screen Size: 2.8"
- Screen Resolution: 320x240
- Battery: 500mAh
- Dimension: 100mmX56mmX8.6mm
- Weight: 83g
- Certifications: CE, FCC

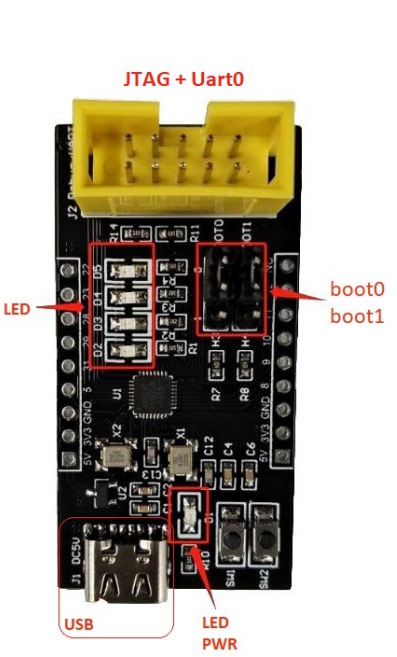
- Задача по выгрузке на светодиодные матрицы. CPU генерирует картинку – FPGA выгружает



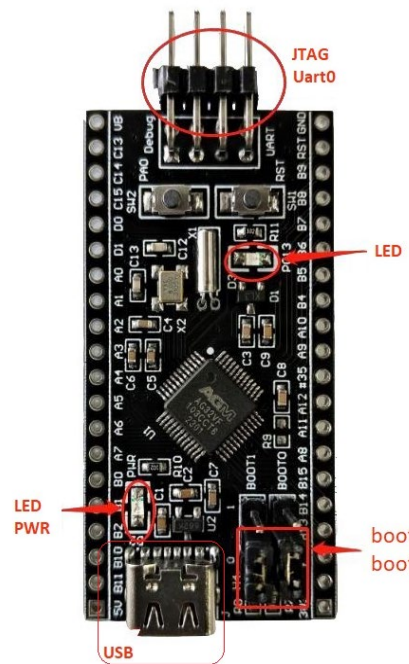
## Выводы

- Задачи прототипирования.
- Не требует глубоких знаний в ПЛИС.
- Совместимость с STM32 - не требует переделки дизайна.

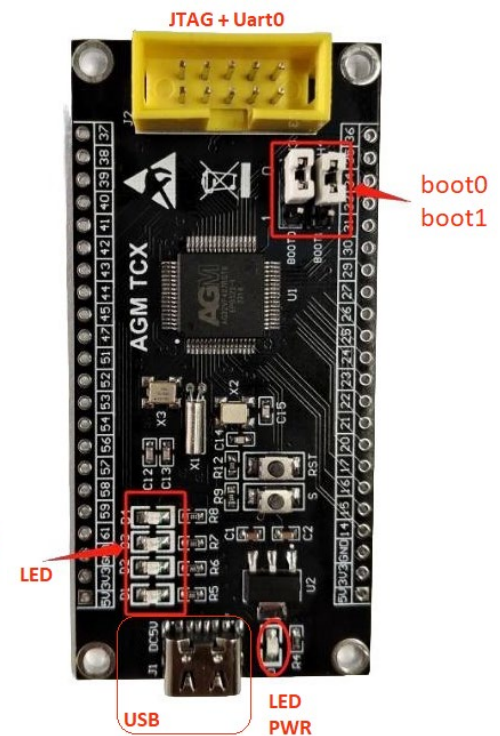




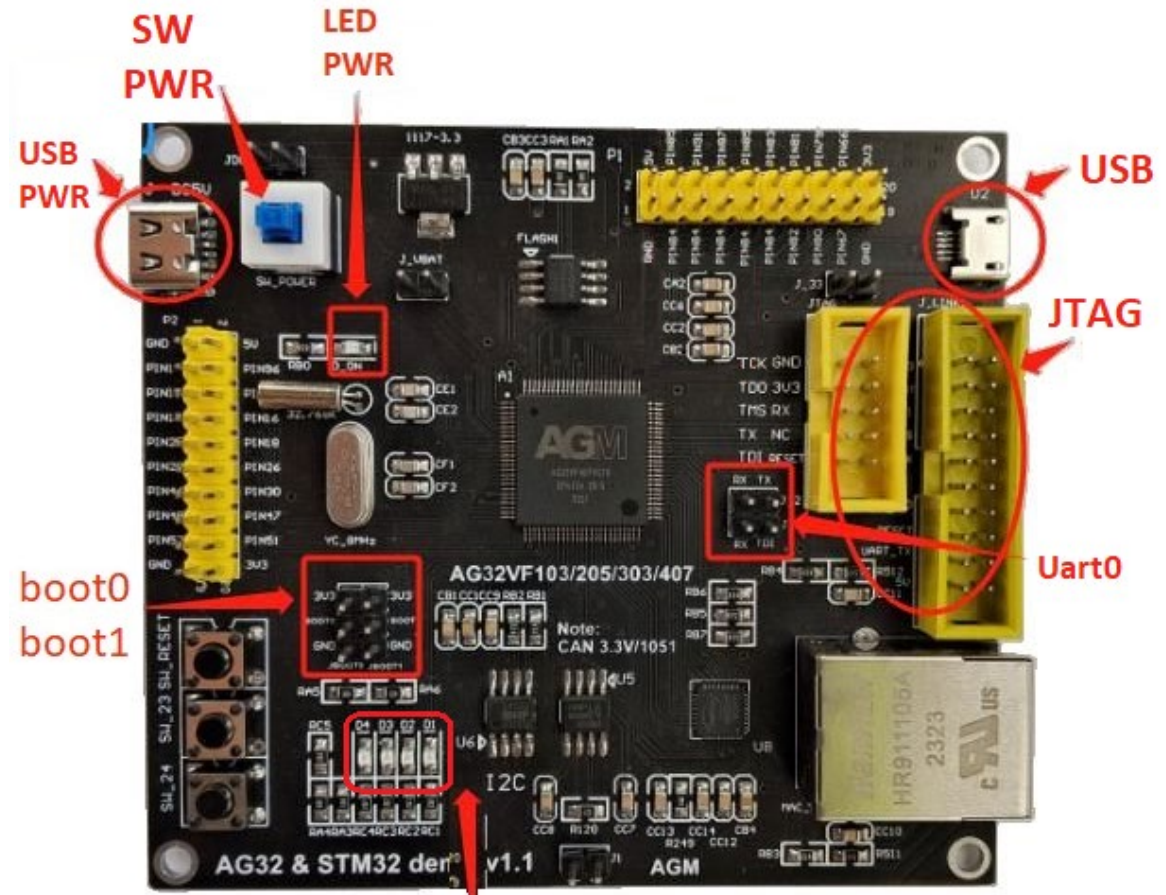
32 pin



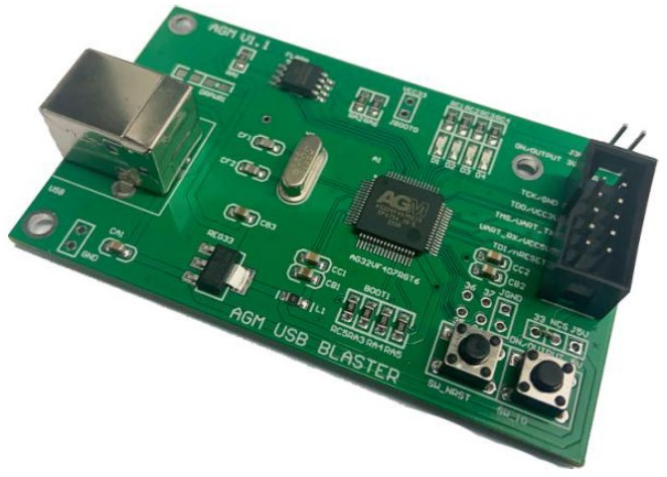
48 pin



64 pin

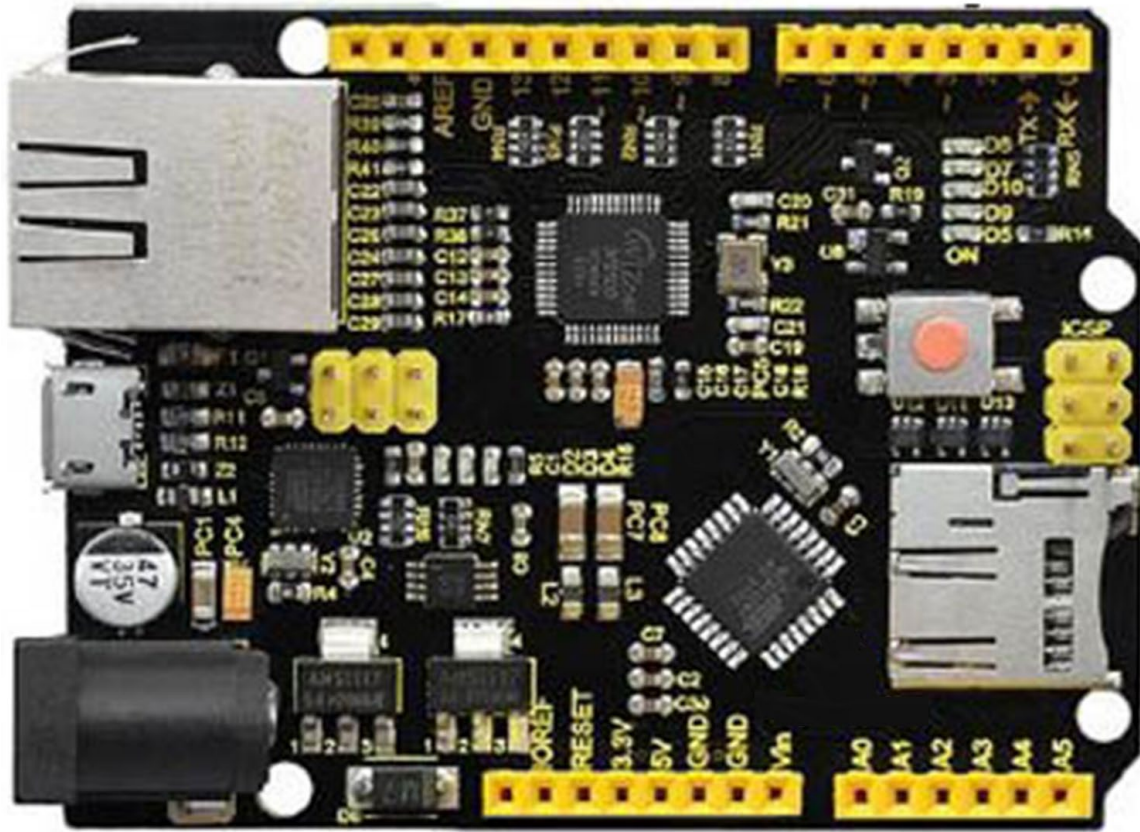


100 pin



AGM BLASTER





- Arduino - все возможности AG32 ( SoCino )
- IDE / скрипты / скетчи / Makefile
- Замена **Quartus** на открытый код **Yosys** .
- Опыт с Краудфандинг проектами.



**Сергей Балакший**  
[sergebn@mail.ru](mailto:sergebn@mail.ru)  
@SergeBN



**Куклов Евгений**  
[e-kuklov@yandex.ru](mailto:e-kuklov@yandex.ru)  
@KuklovEvgenii





- Shanghai AGM Microelectronics Co., Ltd. основана в 2012 году
- Отдел R&D ~ 50 человек
- Офисы в Шанхае, Ханчжоу, Пекин
- Основные типы продукции:
  - FPGA, CPLD
  - SOC (FPGA+MCU и FPGA+MCU+SDRAM)

## ■ CPLD

型号	LEs	User Flash	PLL	RAM	封装
AG256	256	256 Kbits	0	0	LQFP-100
AG576	576	256 Kbits	1	0	LQFP-100 LQFP-144

## ■ FPGA

型号	LEs	PLL	Block RAM	Multipliers	配置方式	封装	MCU
AG6K	6K	2	414 Kbits	23	JTAG, AS/PS	LQFP-144 FBGA-256	ARM M3
AG10K	10K	2	414 Kbits	23	JTAG, AS/PS	LQFP-144 FBGA-256	
AG16K	16K	4	504 Kbits	56	JTAG, AS/PS	FBGA-256	

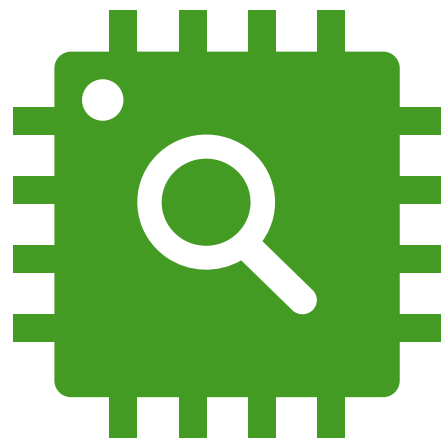
## ■ SOC : FPGA + Cortex-M3 + SDRAM

型号	LEs	PLL	Block RAM	Multipliers	配置方式	封装	Embedded DRAM
AG10KSD	10K	2	414 Kbits	23	JTAG, AS/PS	EQFP-176	64 Mbits SDRAM
AG16KSD	16K	4	504 Kbits	56	JTAG, AS/PS	EQFP-176 FBGA-256	

AG6KL144	EP3C5E144 EP4CE6E22	XC3S200 XC6SLX4	LFE2-6SE LFXP2-5E	<i>SmartFusion 2</i> <i>SoC FPGA</i>  M2S005 M2S010
AG6KF256	EP3C5F256 EP4CE6F17			
AG10KL144	EP3C10E144 EP4CE10E22	XC3S400 XC6SLX9	LFE2-12SE LFXP2-8E	
AG10KF256	EP3C10F256 EP4CE10F17			
AG10KSDE176 (Embedded 64Mbits SDRAM)	EP3C10 EC4CE10			
AG16KF256	EP3C16F256 EP4CE15F17	XC3S700 XC6SLX16	LFXP2-17E	
AG16KSDF256 (Embedded 64Mbits SDRAM)	EP3C16 EP4CE15			
AG16KSDE176 (Embedded 64Mbits SDRAM)				

*Note: The green colored device number can be directly replaced without changing existing PCB (pin-compatible); blue colored device number can be replaced with PCB changes.*

- FPGA до 16K LE
  - 4 PLL
  - До 504Kbit RAM
  - 56 Умножителя 18x18
  - Signaltap
  - pin-2-pin EP3C, EP4C (TQFP144)
  - LVDS, RSDS, LVPECL
  - Поддержка DDR/DDR2
  - Dual- boot
  - I/O 3.3V,2.5V,1.8V,1.5V
- 
- **FPGA + Cortex M3**
  - **CPU до 250 MHz**
  - 128KB SRAM
  - + 64Mbit SDRAM
  - UART / SPI / ADC



# ГЕТЧИПС

*электронные компоненты*

Александр Сыров  
Менеджер по развитию бизнеса  
Тел. 8 (800) 700-18-63. доб 427  
моб. +7-921-421-53-96  
e-mail: [sav@getchips.ru](mailto:sav@getchips.ru)  
Web: [www.getchips.ru](http://www.getchips.ru)



\$140 M

Оборот за 2023 год

15

Лет на рынке

4

Офиса в России

4200

Активных клиентов

350

Сотрудников

47 000

Строк отгружается  
ежемесячно



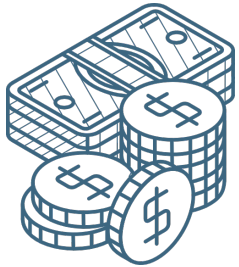
Онлайн-платформа для  
поиска и заказа компонентов



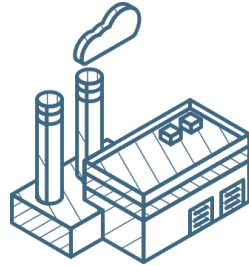
Складская дистрибуция



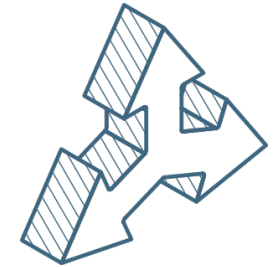
Инженерный департамент



Гибкие условия оплаты



Размещение заказов под  
производство



Сервис реализации ваших  
складских остатков

Спасибо за внимание!

Вопросы?