



БУДУЩЕЕ
В НАШИХ
РУКАХ

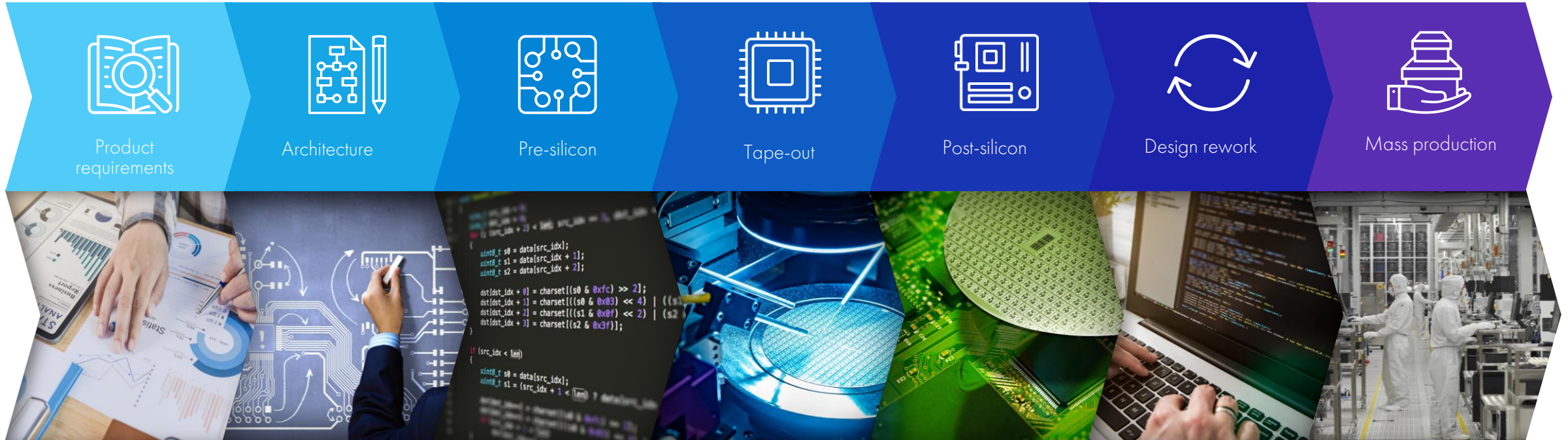
Методы построения систем FPGA- прототипирования ASIC на примере собственной разработки



Александр Огурцов

Руководитель отдела FPGA-прототипирования
ASIC, YADRO

Маршрут проектирования ASIC



Pre-silicon

- RTL-design
- Verification
- FPGA-proto
- Validation
- **BSP & FW FPGA-ready**
- RTL freeze
- Physical design

Post-silicon

- Electrical validation
- Bring-up
- Post-Si Validation
- **FPGA-proto for ASIC debug**
- Errata
- **BSP & FW ASIC-ready**

Что такое pre-silicon

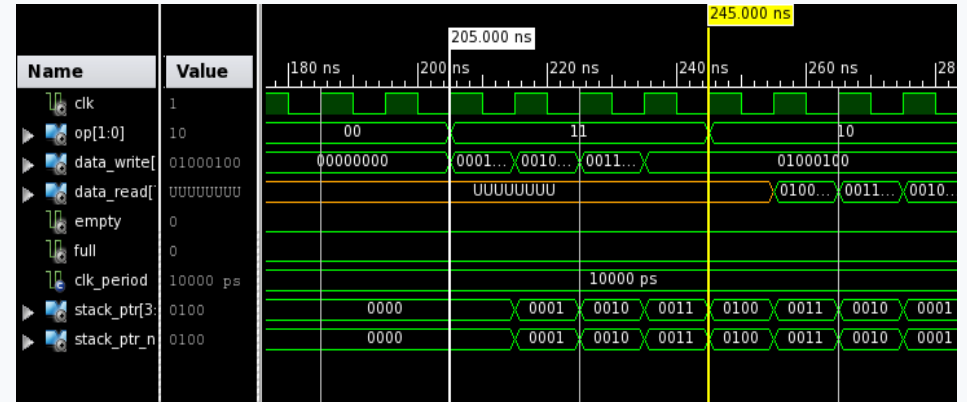
Этап разработки микросхемы (чипа) на котором происходит разработка дизайна, верификация и валидация перед отправкой на фабрику.

Проблемы:

- Высокая стоимость ошибок в дизайне
- Длительное время на перевыпуск чипа
- Необходимость предварительной подготовки ПО

Потребности:

- Проверка сценариев использования чипа
- Оценка производительности



RTL симуляция



Ограничения симуляция RTL:

- DUT 7M гейтов время исполнения «Hello, World!» 15 минут
- Невозможно запустить ОС и полноценные тесты
- Невозможно подключить настоящую периферию

Решение:

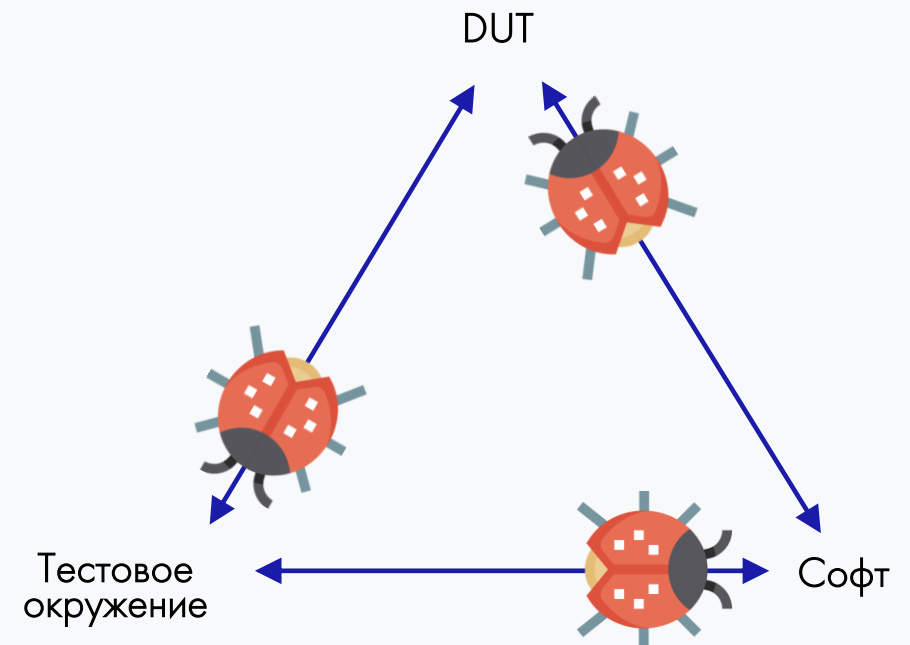
- Функциональное моделирование + FPGA + косимуляция

Плюсы:

- Все есть в стандартном маршруте проектирования

Минусы:

- Невозможно запустить реальные сценарии на RTL
- FPGA не эмулирует Phy и др. HardIP
- Необходимо разрабатывать функциональные модели
- Затруднён «shift left»



DUT: design under test

Ускорение моделирования RTL

Платформы эмуляции:

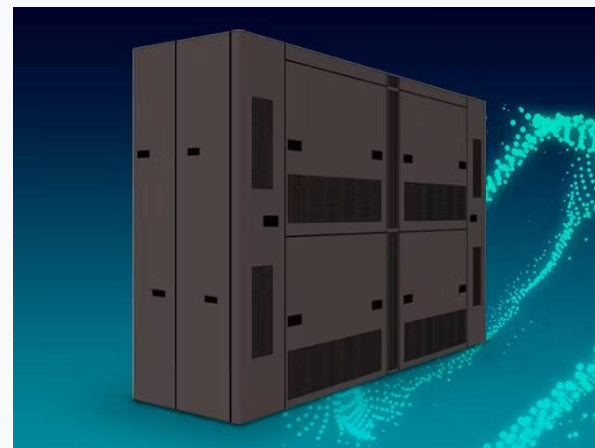
- Cadence Palladium, Siemens Veloce, Synopsys ZeBu

Плюсы:

- Запуск ОС ~30 мин
- Возможность подключения периферии через speed-bridge
- «shift left»

Минусы:

- Разработка специального тестового окружения
- Высокая цена



Платформы FPGA-прототипирования

Решения: Siemens ProFPGA, Synopsys HAPS, Cadence Protium, S2C, etc

Плюсы:

- Готовое решение: меньше рисков
- Высокая емкость: >16 млн. LUT
- Софт для кластеризации в комплекте
- Возможность подключать дочерние платы

Минусы:

- Относительно высокая цена
- Работы по «разрезанию» дизайна
- Возможные ограничения частоты



Специализированный кастомный FPGA-прототип

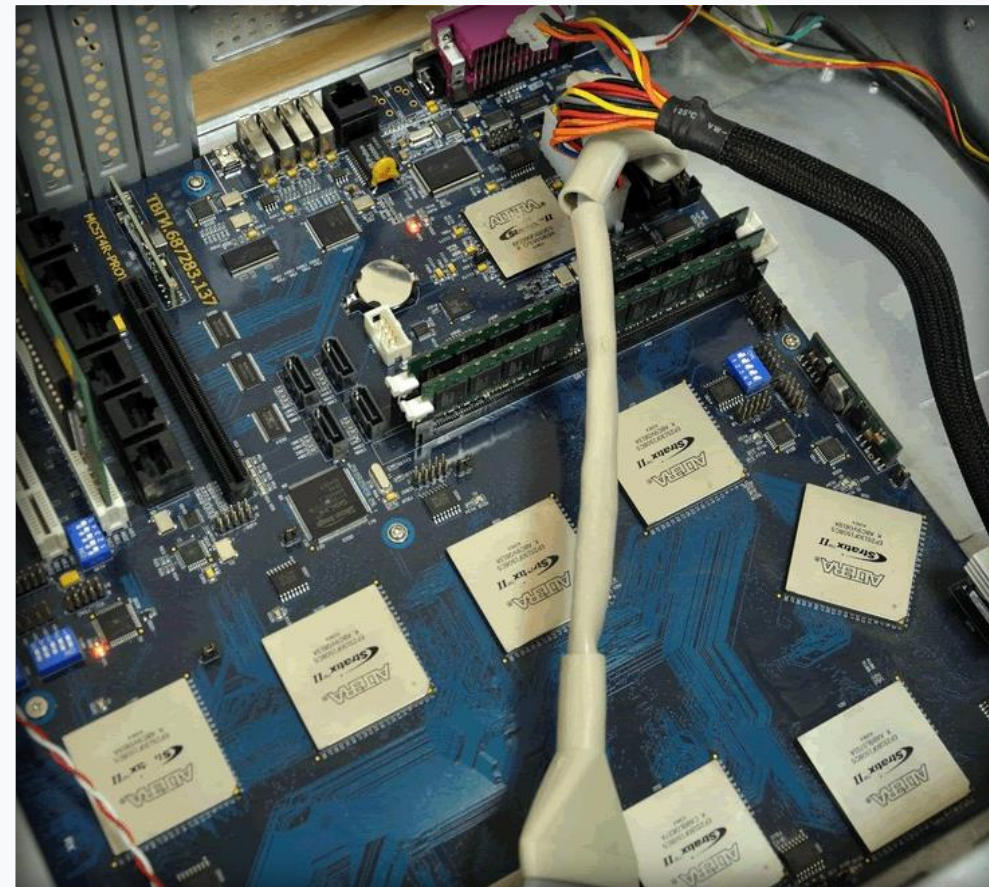


Плюсы:

- Фиксированная конфигурация прототипа
- Вся необходимая периферия и каналы ввода-вывода
- «Домашняя» схемотехника

Минусы:

- Риски ошибок в схемотехнике
- Сложность закупки FPGA и комплектующих
- FPGA отдельно дороже dev board
- Работы по «разрезанию» дизайна (partitioning)
- Возможные ограничения частоты



Прототип процессора R1000 (sparc64)
на базе Altera Stratix II

Существующие методы прототипирования

Косимуляция

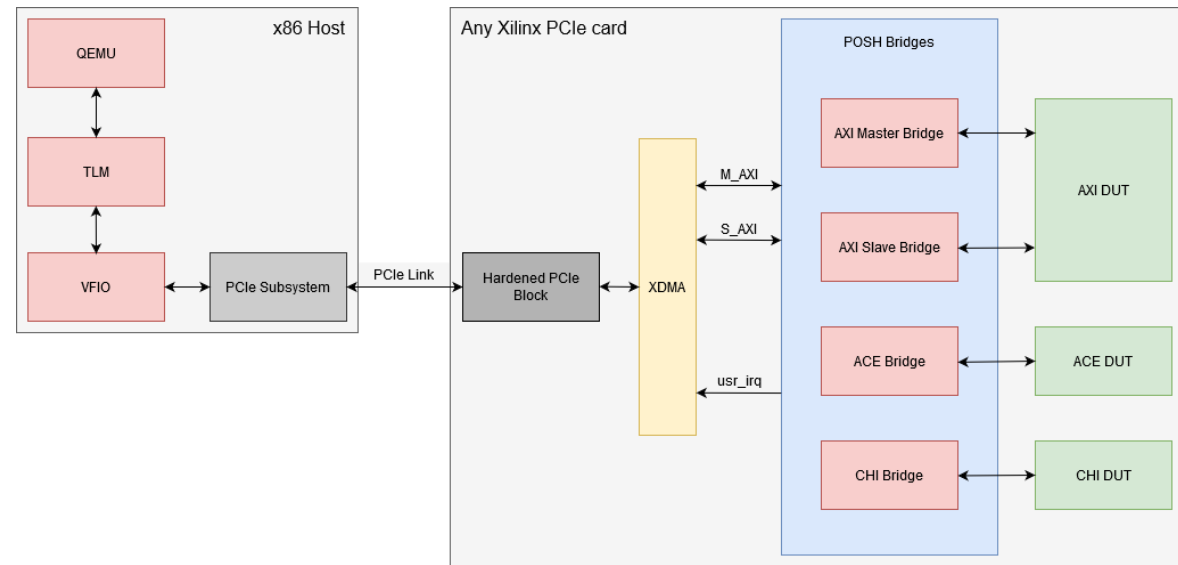


Плюсы:

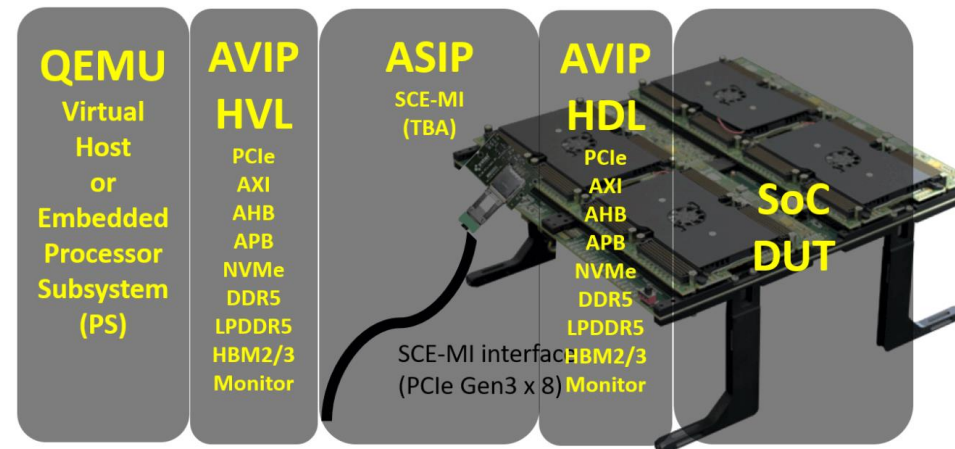
- Возможность сбора покрытия тестов
- Требуется меньшее количество FPGA плат

Минусы:

- Не возможно обеспечить циклическую точность, как следствие нет возможности оценить performance чипа.
- Требуется переделка wrappera под каждый DUT



- ↓ **Host Server runs**
 1) Simulator with SV/UVM testbench including AVIPs
 2) Co-sim with Virtual Prototypes (host, embedded)
- ↓ **FPGA Platform runs**
 • SoC DUT
 • SimAccel ASIP + AVIPs

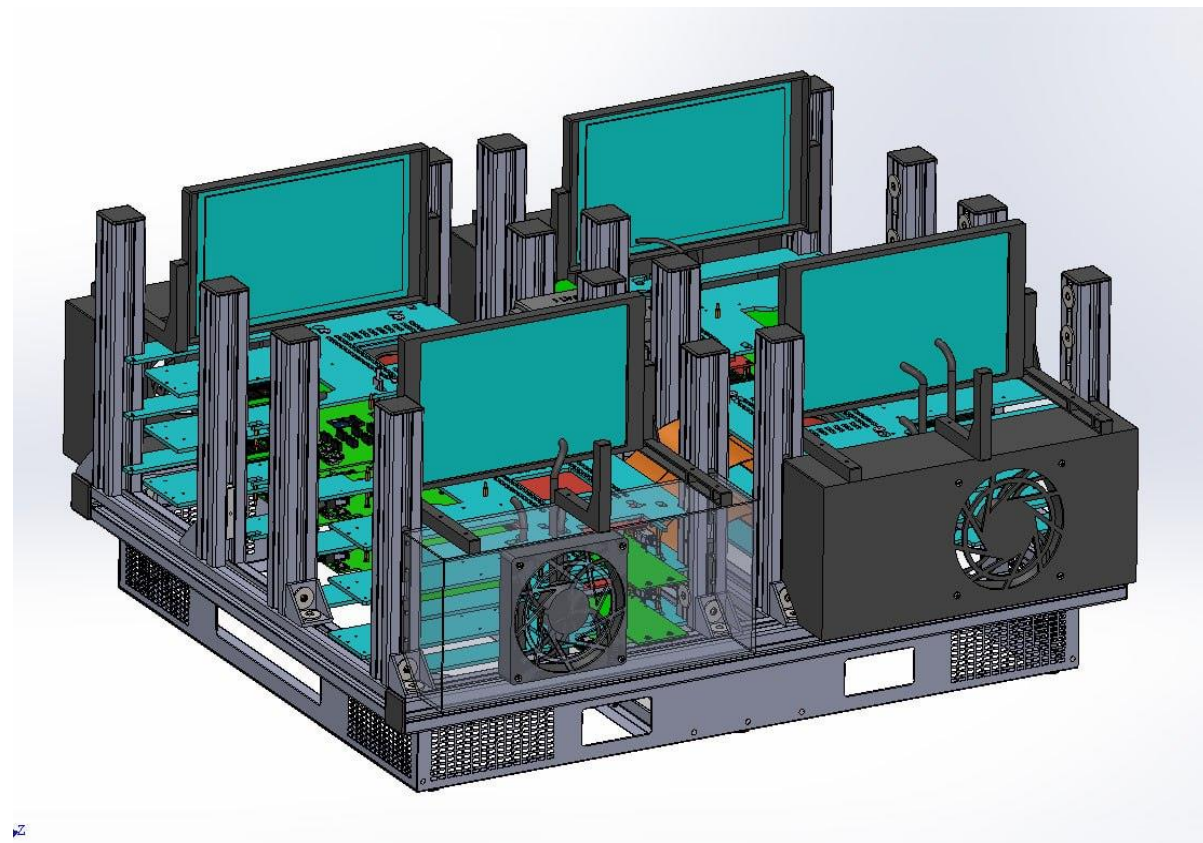
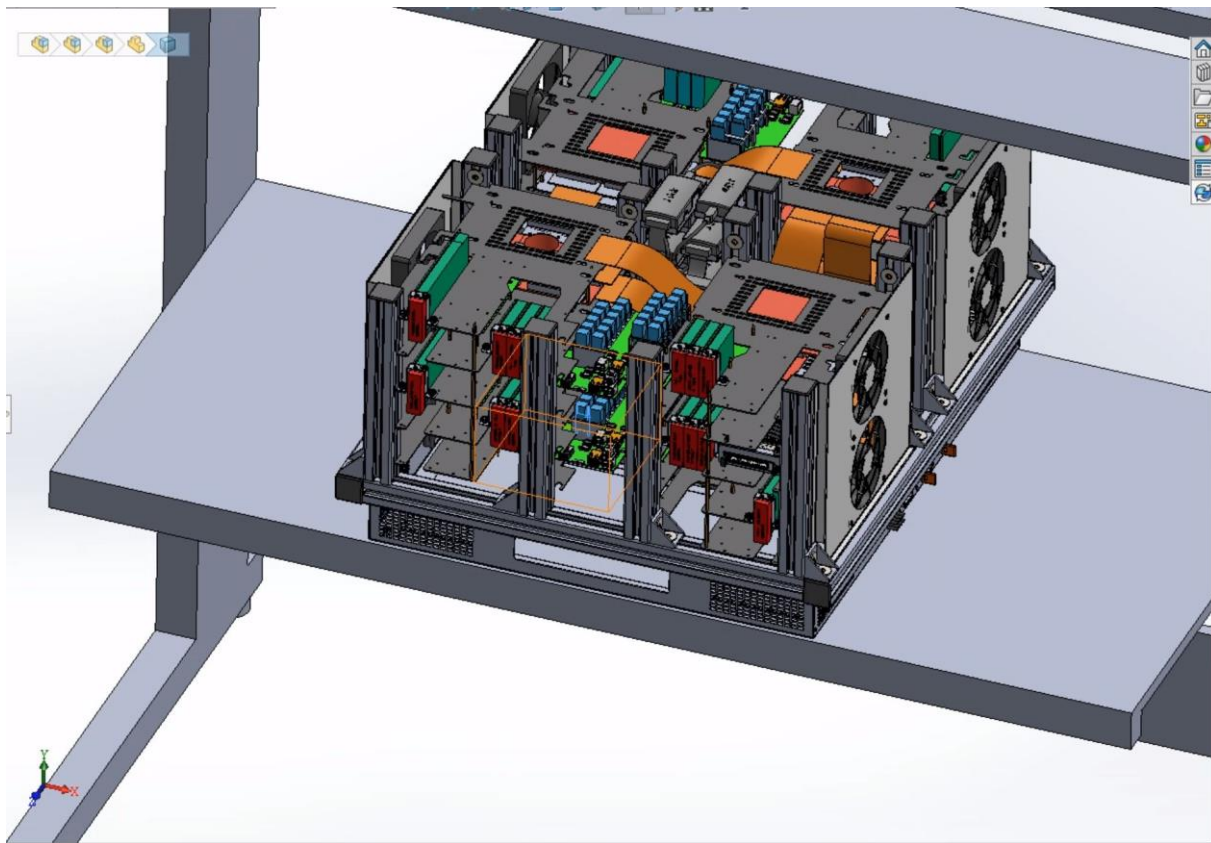




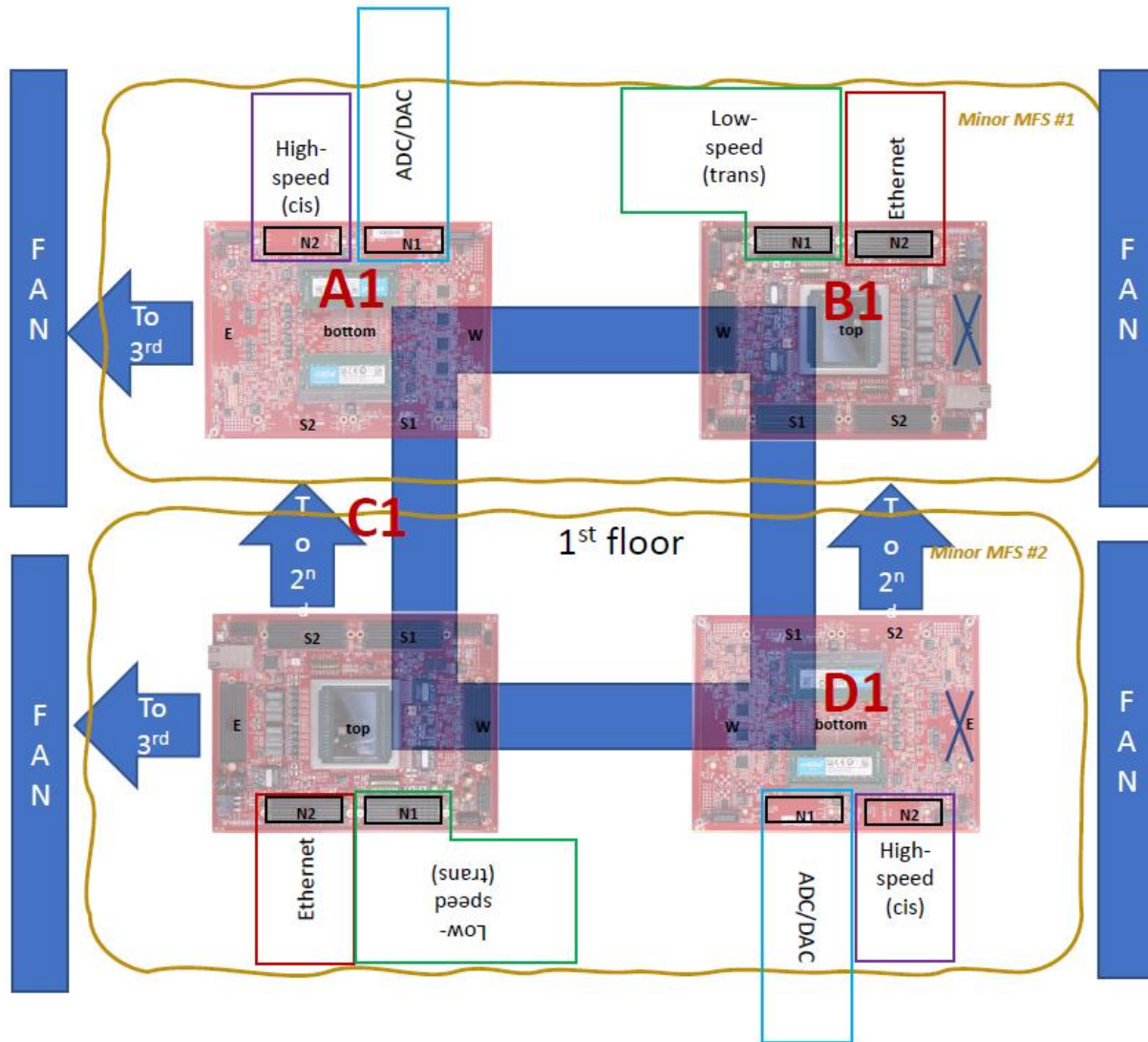
Выбранные подходы к прототипированию и цели

- Разработка собственной системы прототипирования на основе готовых FPGA плат
- Разработка собственной системы разбиения проектов на несколько FPGA
- Разработка и унификация инфраструктуры для удаленного доступа к FPGA прототипу
- Разработка системы бронирования
- Разработка софта для управления FPGA прототипом
- Универсализация, масштабируемость системы, тесто-пригодность и удобство пользования.

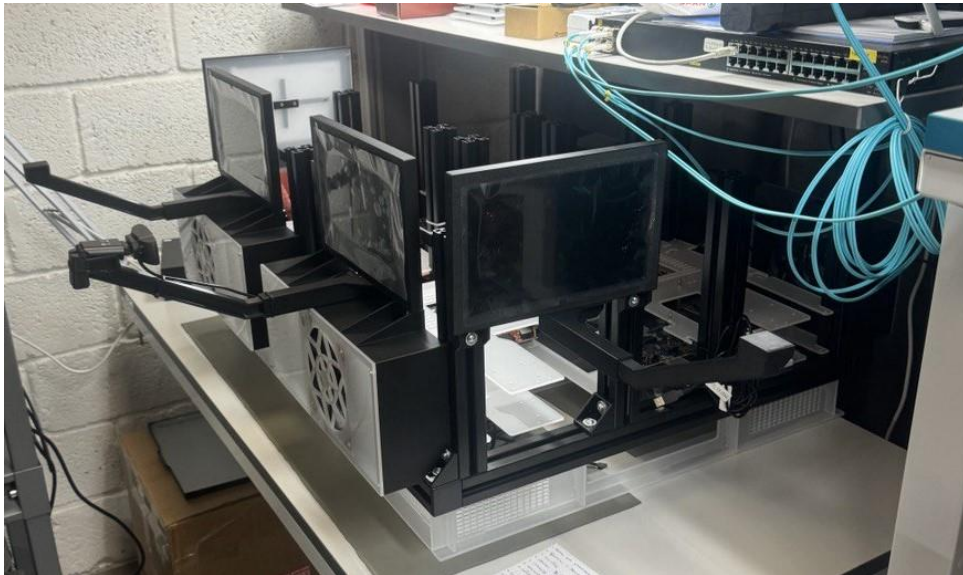
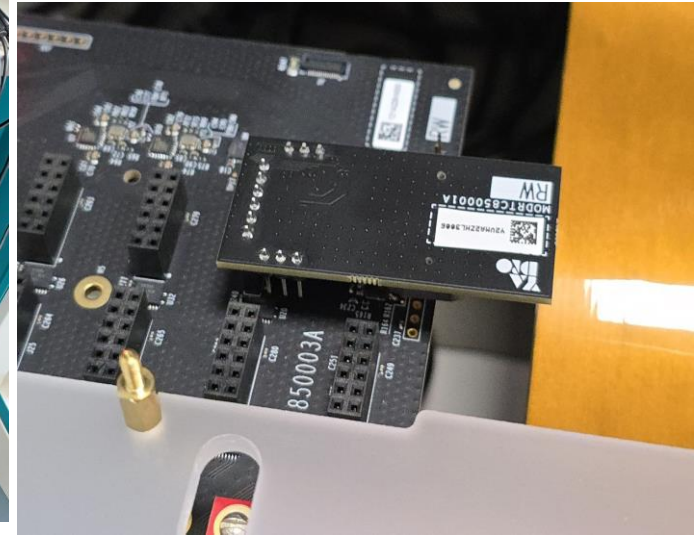
Модели FPGA стандов для прототипирования SoC компании YADRO



Концепция универсальности и параллельности

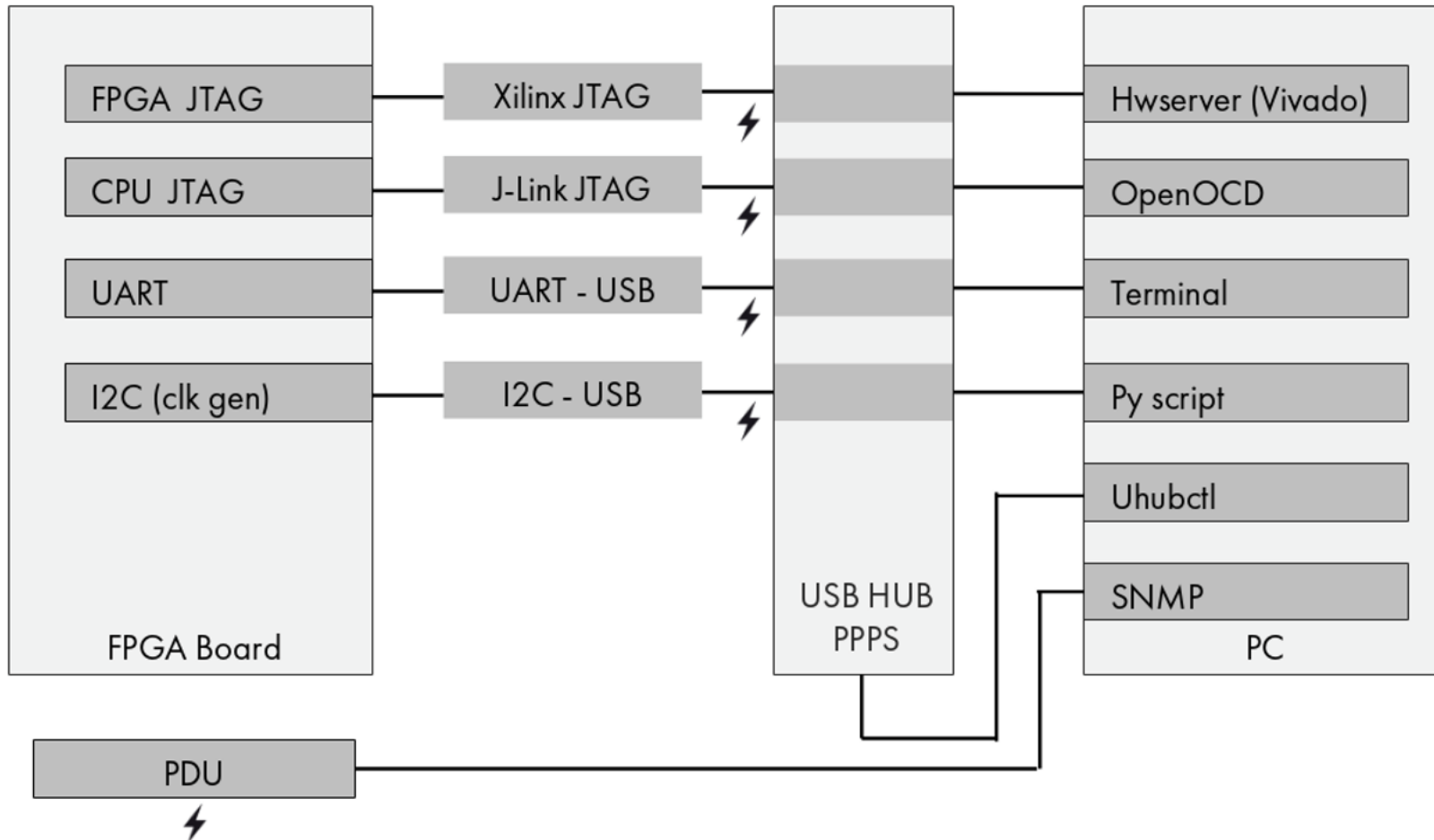


Результаты: прототип на 8 FPGA



Инфраструктура для удаленного доступа к FPGA стендам

Статья на Хабре по системе бронирования <https://habr.com/ru/companies/yadro/articles/797111/>



Система бронирования и распределения ресурсов

Доклад с YADRO FPGA/RTL/Verification meetup <https://www.youtube.com/watch?v=OZDW07L5ehw>

Create task ? ⚙️

Select Item: TestAgent4

Test: Debian in public-rw

Name: Test_Raning

Priority: Low

Watchers: Assign watchers

Reserve time

CREATE **CANCEL**

TestAgent4
172.31.161.71

Month **Week** Day

< **Week 37 (September 2024)** >

| | Monday 9 | Tuesday 10 | Wednesday 11 | Thursday 12 | Friday 13 | Saturday 14 | Sunday 15 |
|-------|----------|------------|--------------|-------------|-----------|-------------|-----------|
| 17:30 | | | | | | | |
| 18:00 | | | | | | | |
| 18:30 | | | | | | | |
| 19:00 | | | | | | | |
| 19:30 | | | | | | | |
| 20:00 | | | | | | | |
| 20:30 | | | | | | | |

<https://atf.dev.yadro.com/node>

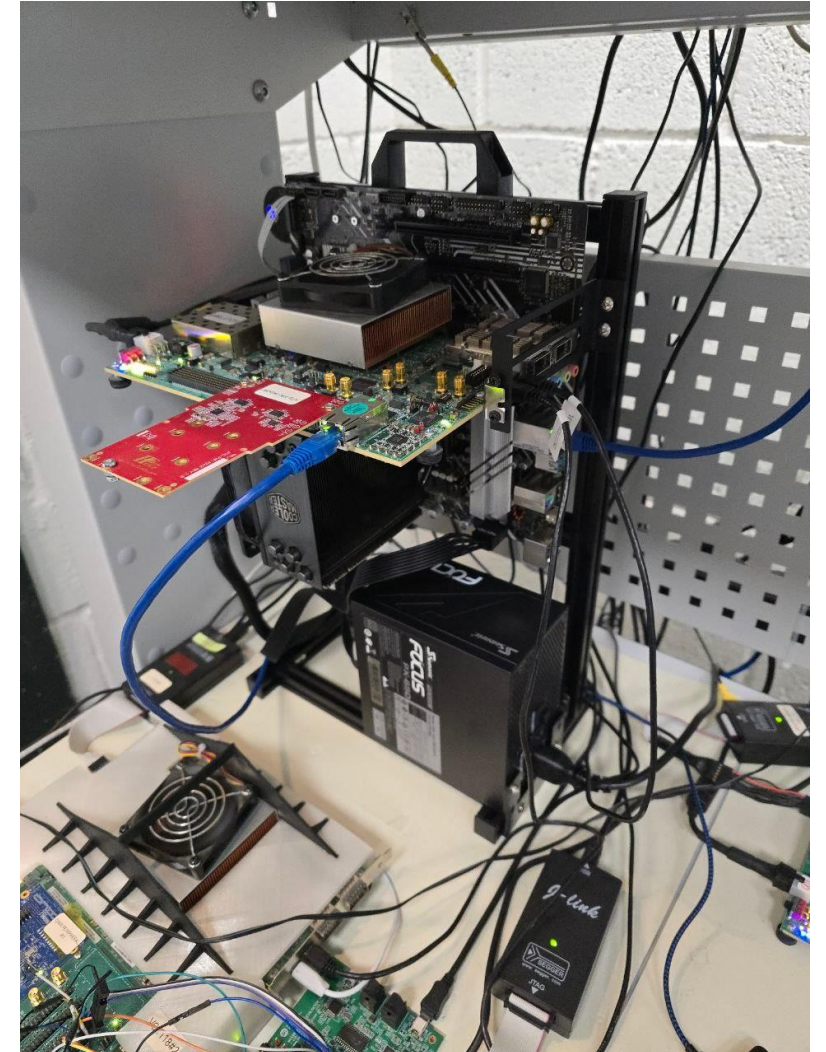
Ещё немного разработанных подходов (косимуляция)

Поддерживаемые варианты

- QEMU + RTL simulator (не требует FPGA)
- QEMU + FPGA
- RTL simulator + FPGA
- QEMU + RTL simulator + FPGA

Поддерживаемые варианты мостов для соединения софта и железа

1. PCIe bridge
2. Ethernet bridge





yadro.com