

Разработка SoC от лица физ. дизайнера

Кухня Backend'a

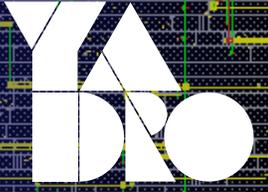




Илья Пеплов

Старший инженер по разработке СнК,
дивизион YSemi

- 10 лет в области проектирования микросхем
- 3 года участвую в образовательных программах YADRO и МИЭТ



- Цикл разработки микросхемы
- Современные чипы и их окружение
- Что такое SoC?
- Работа над микросхемой в команде
- Этапы физического проектирования
- Технологии проектирования микросхем
- Чем завершается работа над чипом?

Цикл разработки микросхемы



Физическая модель

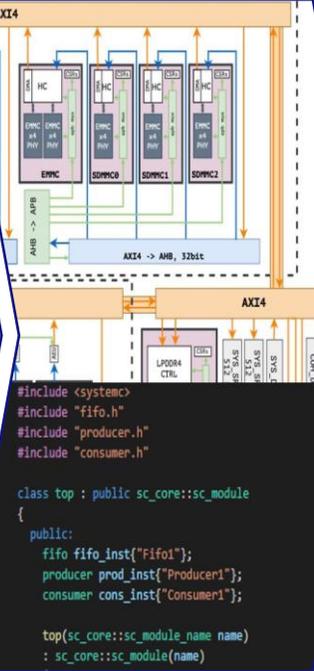
Идея

Архитектура

Логическая модель

Физический продукт

Готовое устройство



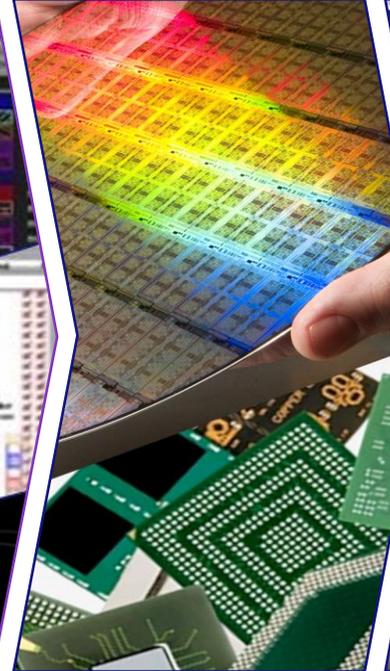
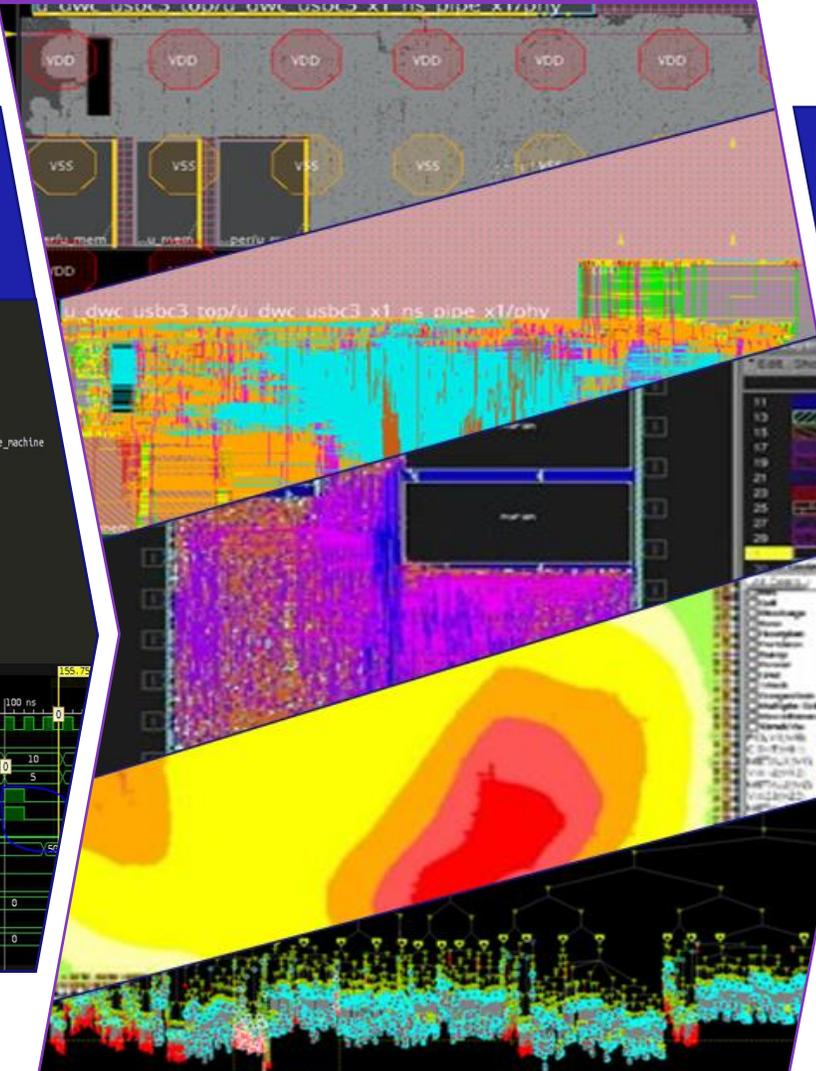
```
37 logic [#DOSC_EN_CNT_MAX-1:0] dosc_en_cnt;
38 logic [#DOSC_CNT_MAX-1:0] dosc_cnt;
39 logic dosc_done;
40
41 int dosc_en_cnt_target;
42 logic rstn_clear;
43
44 // STATE MACHINE
45 always_ff @(posedge clk or negedge rst_n) begin : state_machine
46   if (~rst_n)
47     (ack, state) <= (1'b0, IDLE);
48   else
49     case (state)
50     IDLE :
51       if (~rd & !scv)
52         state <= CLEAR;
53       else
54         state <= IFU;
55     CLEAR :
56       state <= WORKING;
57     IFU :
58       if (ready)
59         (ack, state) <= (1'b1, DONE);
60     else
61       rd_i.state <= ack_ackr[ack];
62     endcase
63 end
```

```
#include <systemc>
#include "fifo.h"
#include "producer.h"
#include "consumer.h"

class top : public sc_core::sc_module
{
public:
  fifo fifo_inst{"Fifo1"};
  producer prod_inst{"Producer1"};
  consumer cons_inst{"Consumer1"};

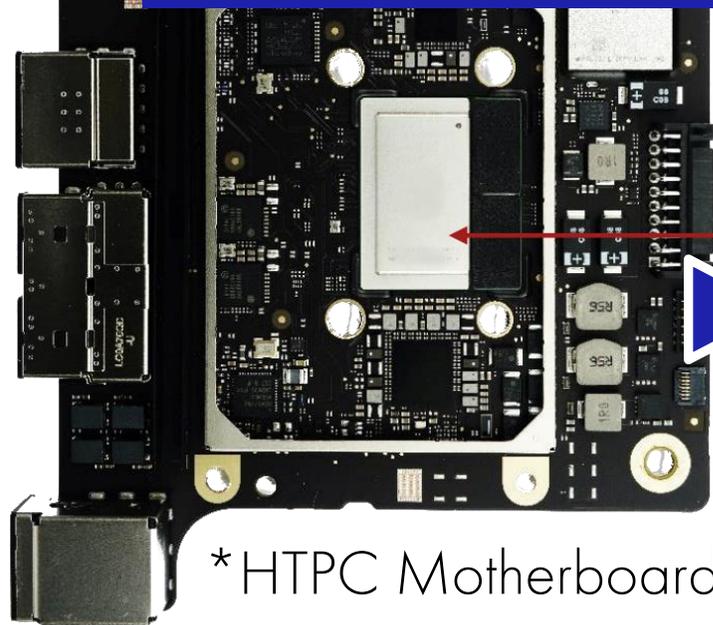
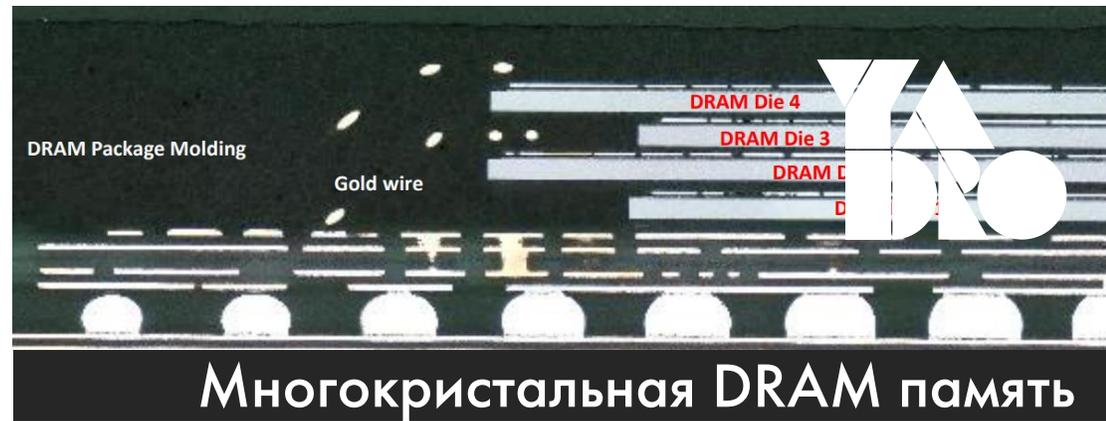
  top(sc_core::sc_module_name name)
  : sc_core::sc_module(name)

```

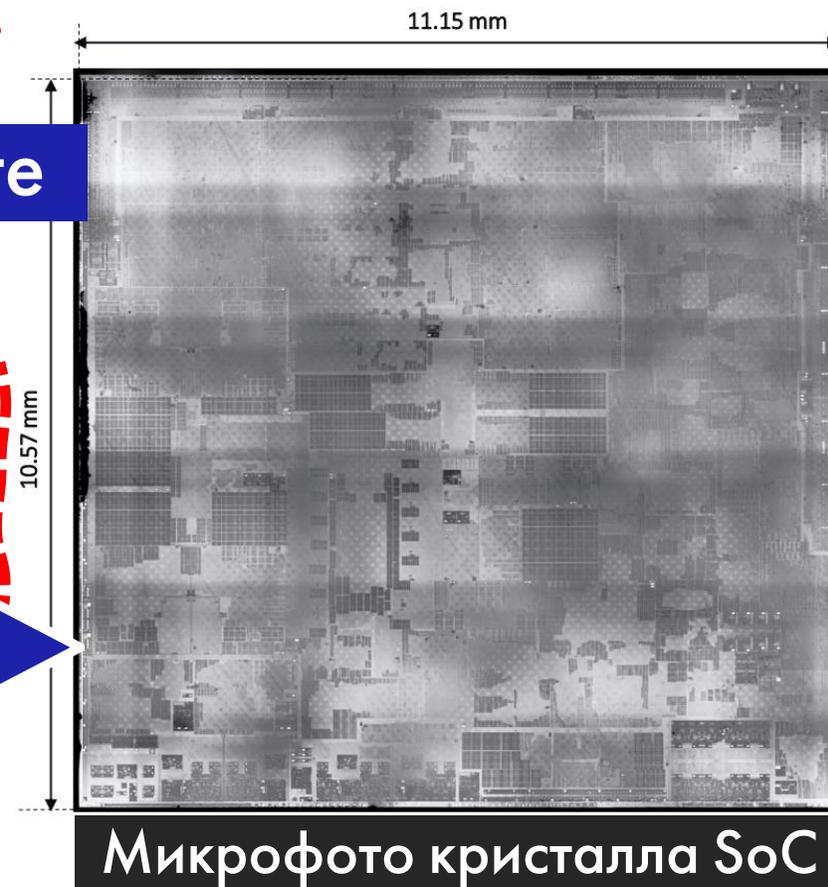
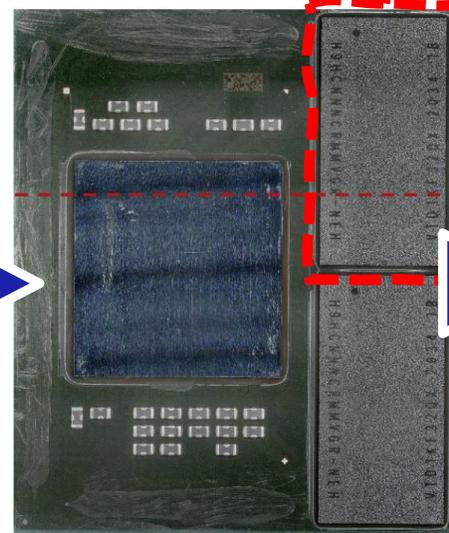
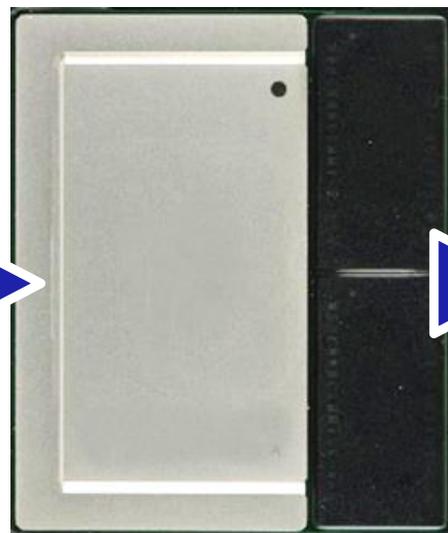


Современный чип – что это?

- Система на кристалле
- Микросборка в одном корпусе
- Модульное исполнение на печатной плате
- Общая тенденция к миниатюризации



*HTPC Motherboard



System-on-Chip (SoC) или

однокристалльные системы

- CPU HP + Effecient cores

- GPU cores

- * ML engine cores

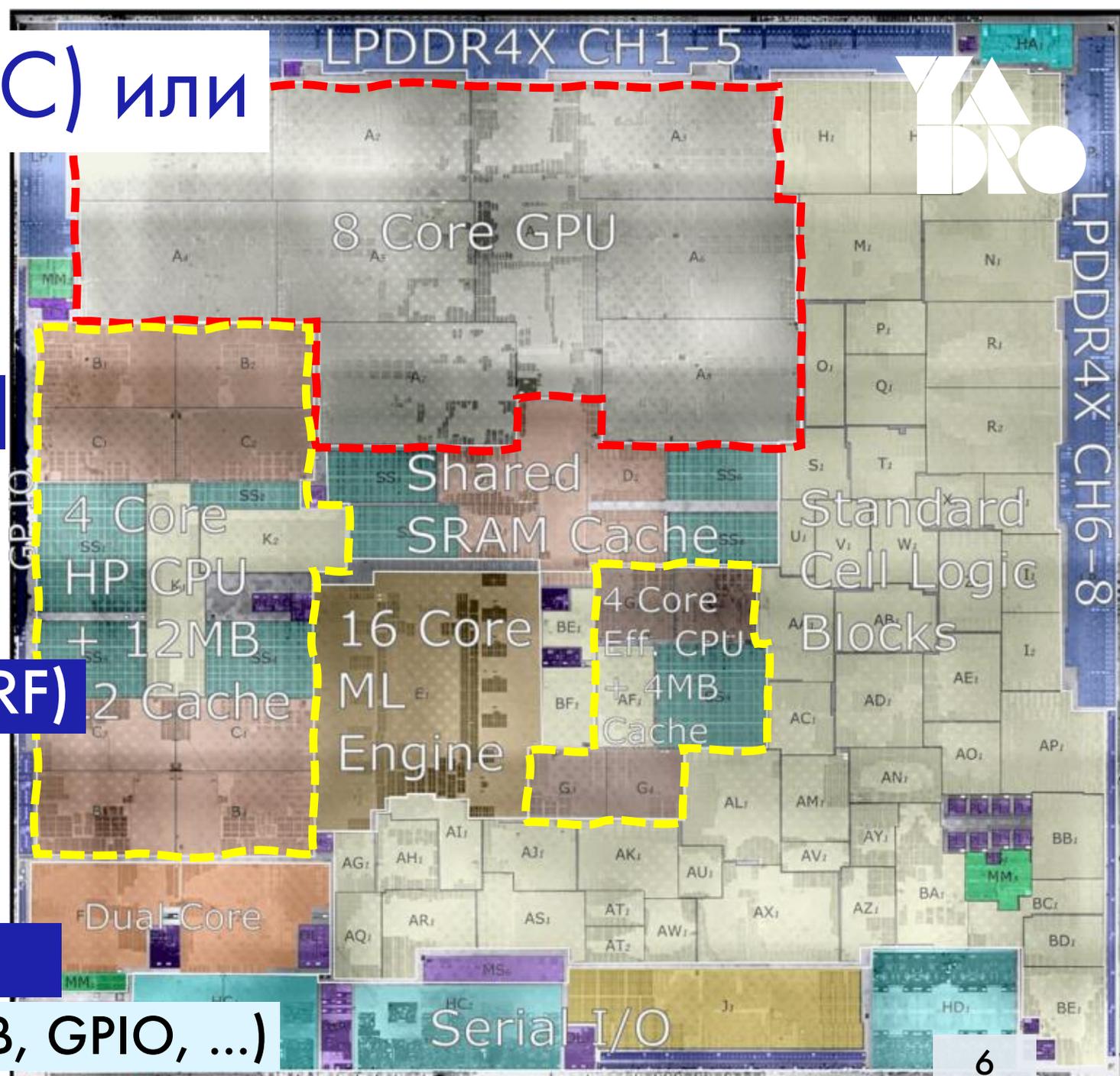
- ** Cellular Modem (non RF)

- Кодеки любых типов:

(Audio, Video, Image, ...)

- Интерфейсы:

(DDR, PCI-E, Ethernet, USB, GPIO, ...)



Физическое проектирование



SoC в команде



Команда FE
Frontend, логический проект

Команда DFT
Design for Test, интеграция тестовых структур в чип



Команда Pkg
Package, разработка корпуса



Маршрут проектирования элемента SoC



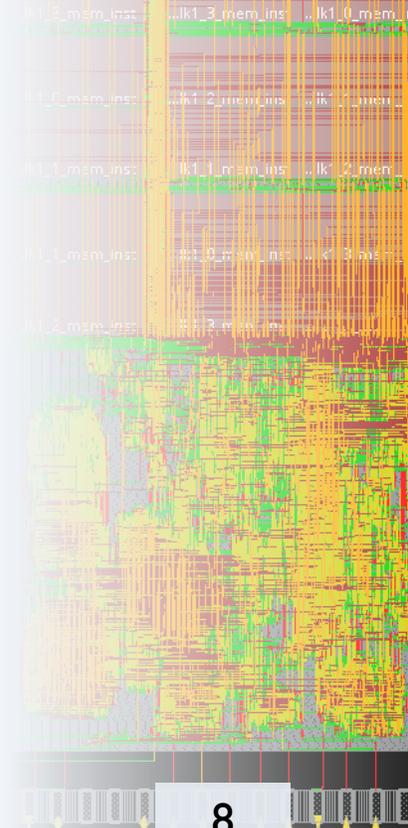
Получение данных
от команды FE

+

Логический
синтез «у себя»

The screenshot displays a multi-windowed EDA environment. At the top, a code editor shows Verilog code for a module named 'beeper_tb'. Below it, a diagram illustrates the synthesis flow: HDL Code and Tech Lib feed into a Synthesis Tool, which outputs a Netlist. The Netlist is then used to generate a logic diagram. A timing analysis window shows a signal trace for 'clk' with a period of 10ns. A console window at the bottom right displays the output of the synthesis process, including the command 'genus@root:~\$' and the path to the synthesis solution.

Физический
синтез



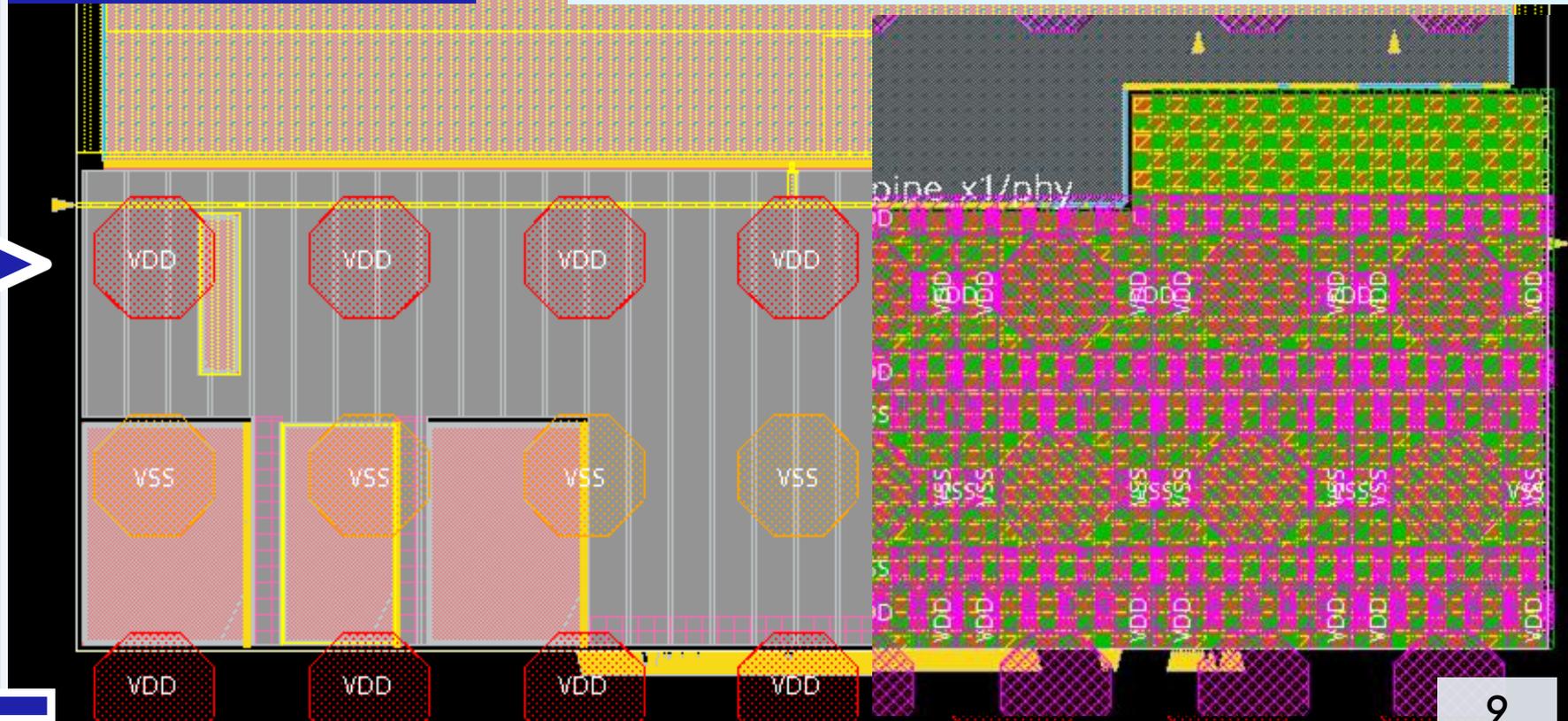
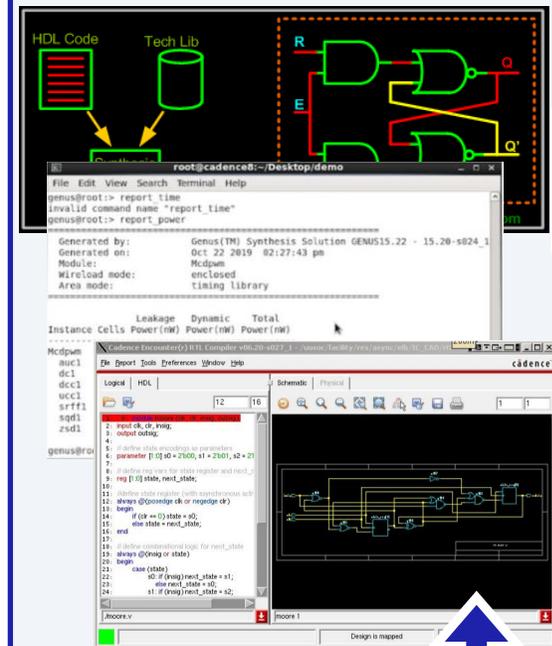
Маршрут проектирования элемента SoC



Получение
данных
от команды FE

Физический
синтез

1. Floorplan + PG (сетка питания)



Маршрут проектирования элемента SoC



Физический
синтез

2. Std Cell's
Placement



Маршрут проектирования элемента SoC



Физический
синтез

3. Signal Routing

sbc3 x1 ns pipe x1/phy

...per/u.mem

Verification &
Signoff

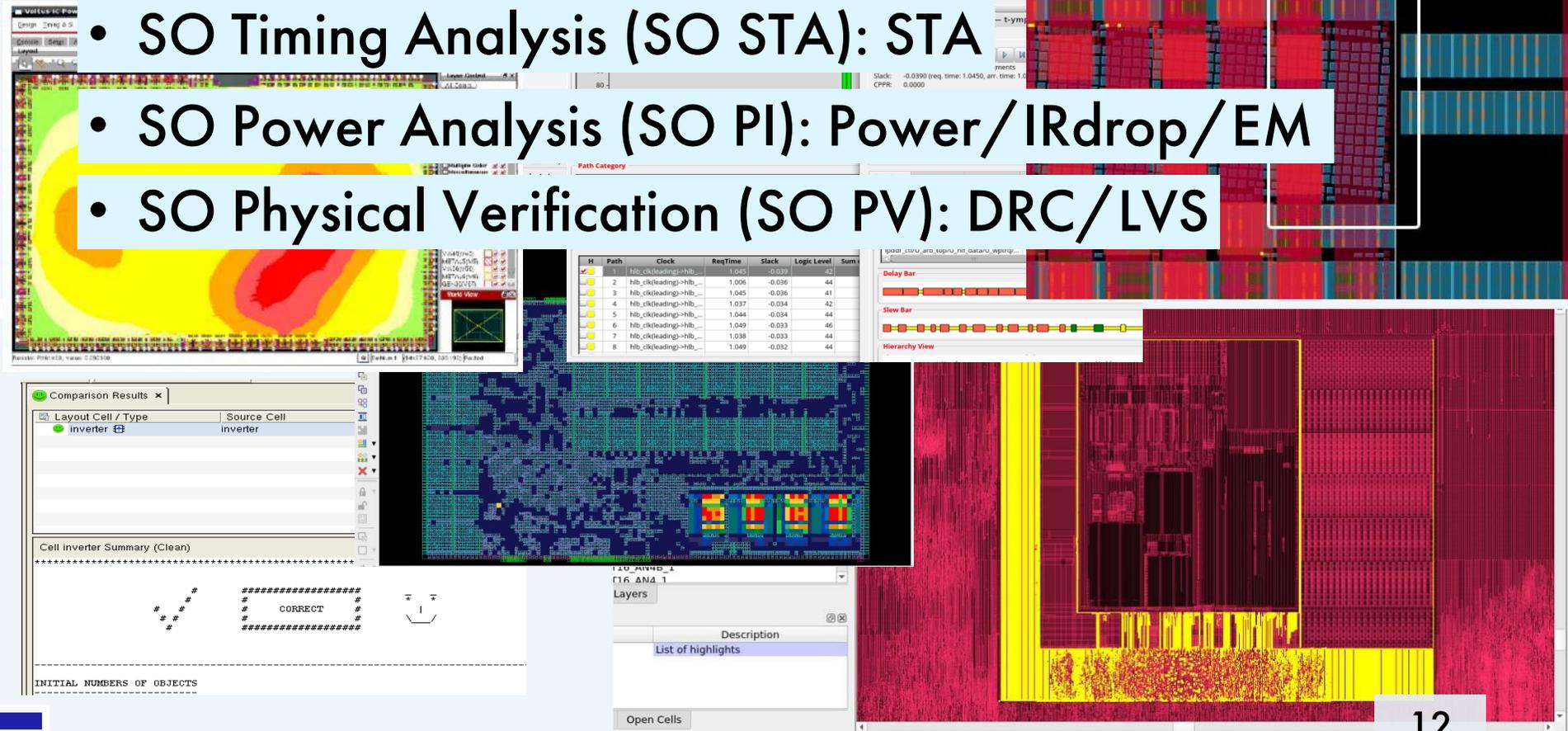
Маршрут проектирования элемента SoC



Физический синтез

Verification & Signoff

- SO Timing Analysis (SO STA): STA
- SO Power Analysis (SO PI): Power/IRdrop/EM
- SO Physical Verification (SO PV): DRC/LVS



Какова цель?

PPA - Power Performance Area

(PPAT, + Time to market)

QoR – Quality of Results

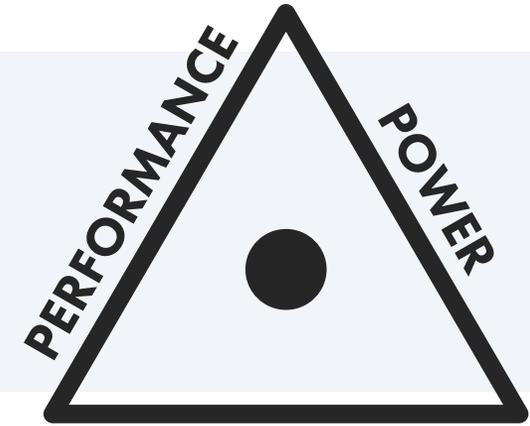
- Оптимизация Floorplan
- Отладка временных характеристик
- Отладка clock-деревьев
- Снижение потребляемой мощности

... и многое другое



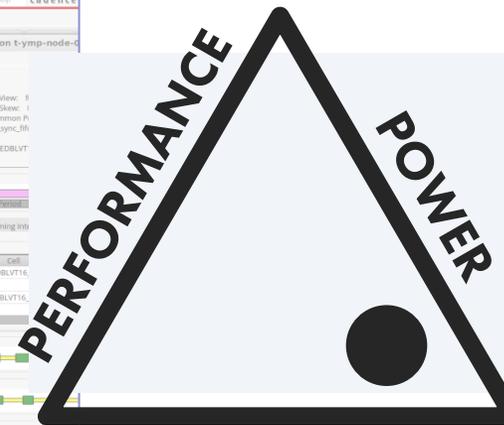
AREA

Performance weighted



AREA

Balanced



AREA

Power & Area weighted

Технология, библиотеки, нанометры

Технология проектирования *CMOS

- Это процесс, построенный под определённый размер структуры транзистора, сильно зависит от разрешающей способности литографии

Набор библиотек состоит из:

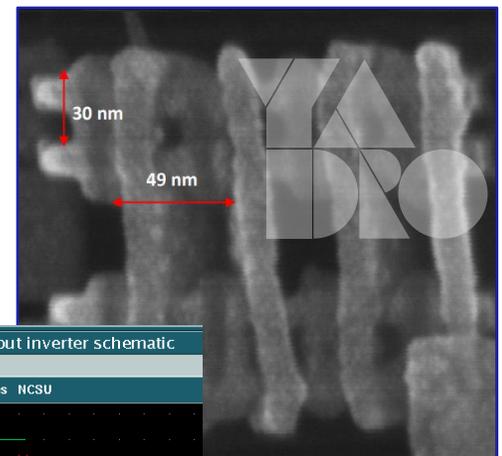
- PDK – Process Design Kit
- DDK – Digital Design Kit
- Документация и доп. данные

VLSI DESIGN RULES
(From Physical Design of CMOS Integrated Circuits Using L-EDIT, John P. Uyemura)

$\lambda = 1\mu\text{m}$

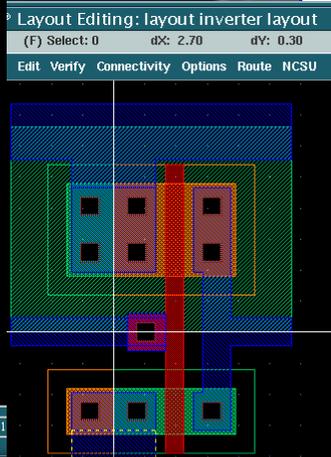
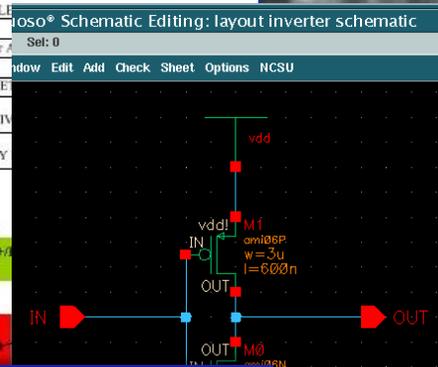
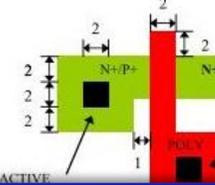
MINIMUM WIDTH AND SPACING RULES

LAYER	TYPE OF RULE	VALUE
POLY	Minimum Width	2λ
	Minimum Spacing	2λ
ACTIVE	Minimum Width	3λ
	Minimum Spacing	3λ
NSELECT	Minimum Width	3λ
	Minimum Spacing	3λ
PSELECT	Minimum Width	3λ
	Minimum Spacing	3λ
METAL1	Minimum Width	3λ
	Minimum Spacing	3λ



MOSFET LAYOUT RULES

RULE	MEANING
POLY Overlap	Minimum extension over ACTIVE
POLY-ACTIVE	Minimum Spacing
MOSFET Width	Minimum N+/P+ MOSFET
ACTIVE CONTACT	Exact Size Minimum Space to ACTIVE
POLY CONTACT	Exact Size Minimum Space to POLY



```
84746 RECT 0 0.384 0.768 0.768 ;
84747 END
84748 END OA21PPNND9BWP6T16P96CPD
84749
```

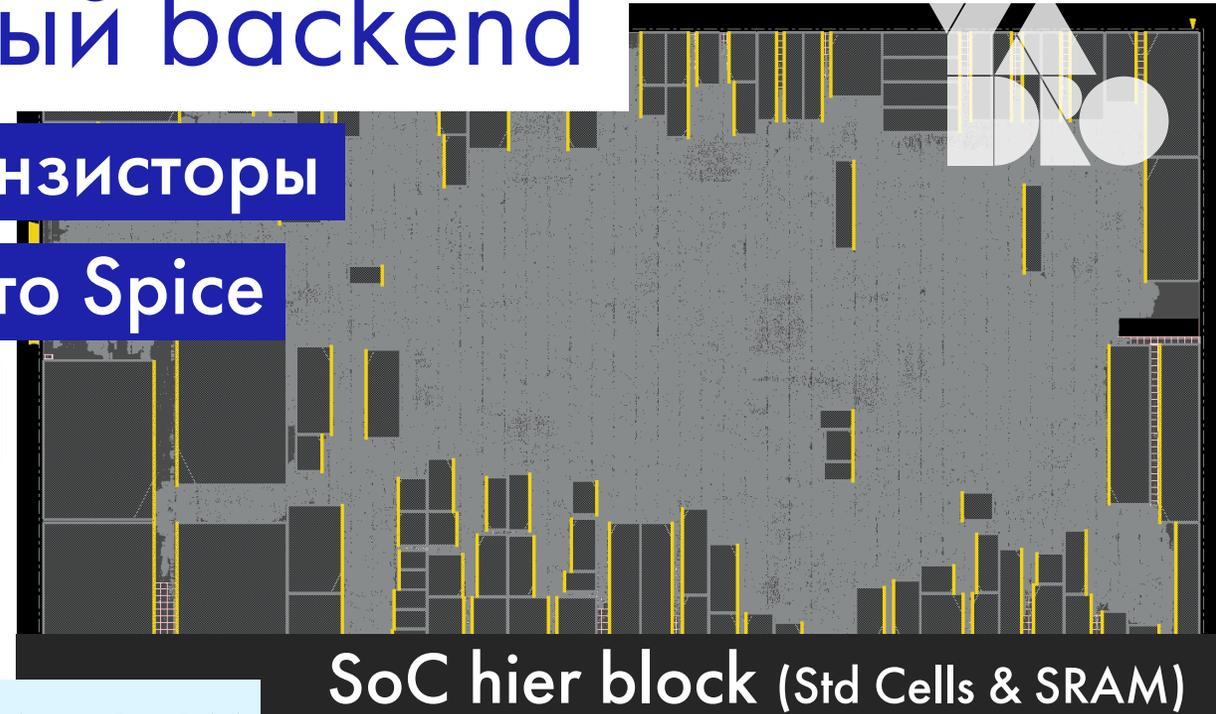
```
MACRO OA21PPNND3BWP6T16P96CPD
CL
OR
FO
SI
SY
END PROPERTYDEFINITIONS
```

```
84754
84755
84756
84757
84758
84759
84760
84761
84762
84763
84764
84765
```

```
File Edit Search Preferences Shell Macro Windows
PROPERTYDEFINITIONS
LIBRARY LEF58_PGVIATRACK STRING " PGVIATRACK VIA
END PROPERTYDEFINITIONS
}
}
timing () {
related_pin : "CK";
sdf_cond : "ENABLE_D AND_RD AND_SE_AND_SI";
timing_type : min_pulse_width;
when : "D&RD&SE&SI";
fall_constraint (cnst_ctin_5) {
index_1 ("0.002336, 0.009336116, 0.03731294, 0.1491258, 0.596");
values ("0.03273487, 0.03320956, 0.0391888, 0.06924914, 0.1192527");
}
rise_constraint (cnst_ctin_5) {
index_1 ("0.002336, 0.009336116, 0.03731294, 0.1491258, 0.596");
values ("0.02382019, 0.02531235, 0.03793623, 0.07489275, 0.1505915");
}
}
}
pin (D) {
capacitance : 0.001805823;
direction : input;
fall capacitance : 0.001788861;
}
```

Цифровой VS Аналоговый backend

- Стандартные ячейки, а не транзисторы
- Liberty модели задержек вместо Spice
- Строгие правила для ячеек:
 1. Организация в ряды
 2. Одинаковая высота
 3. Ширина и пины с определённым шагом

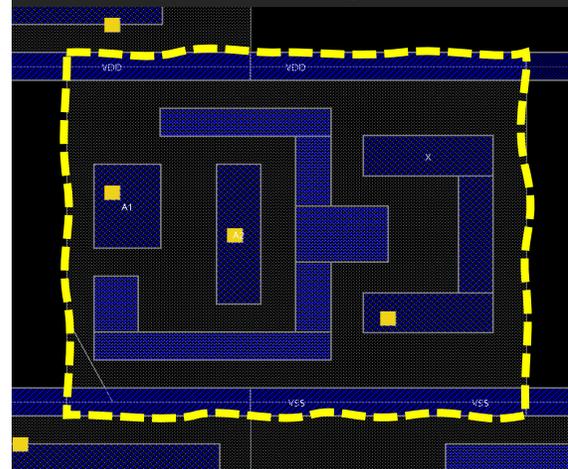


SoC hier block (Std Cells & SRAM)

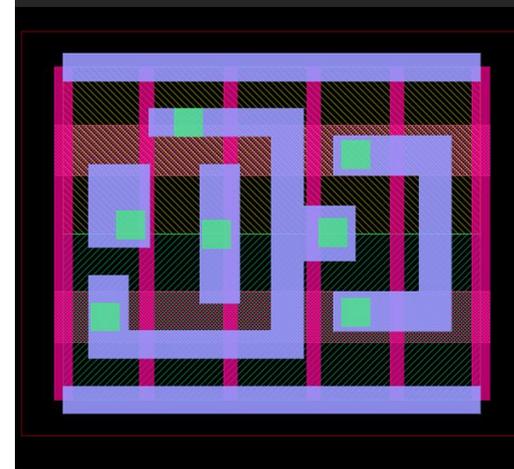
Std Cells (Zoom in)



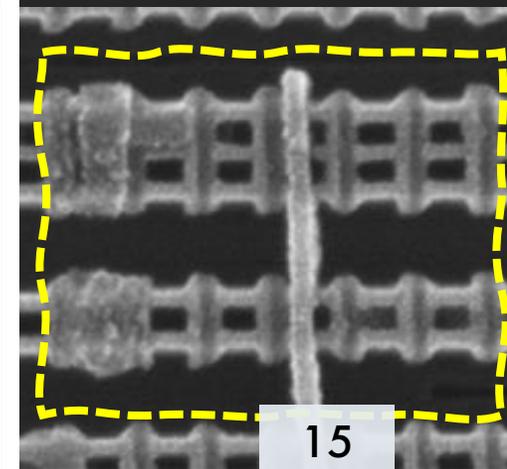
AND2 (in Digital ADE)



AND2 (in GDS)



Std Cell (in Silicon)



Чем завершается работа над чипом?



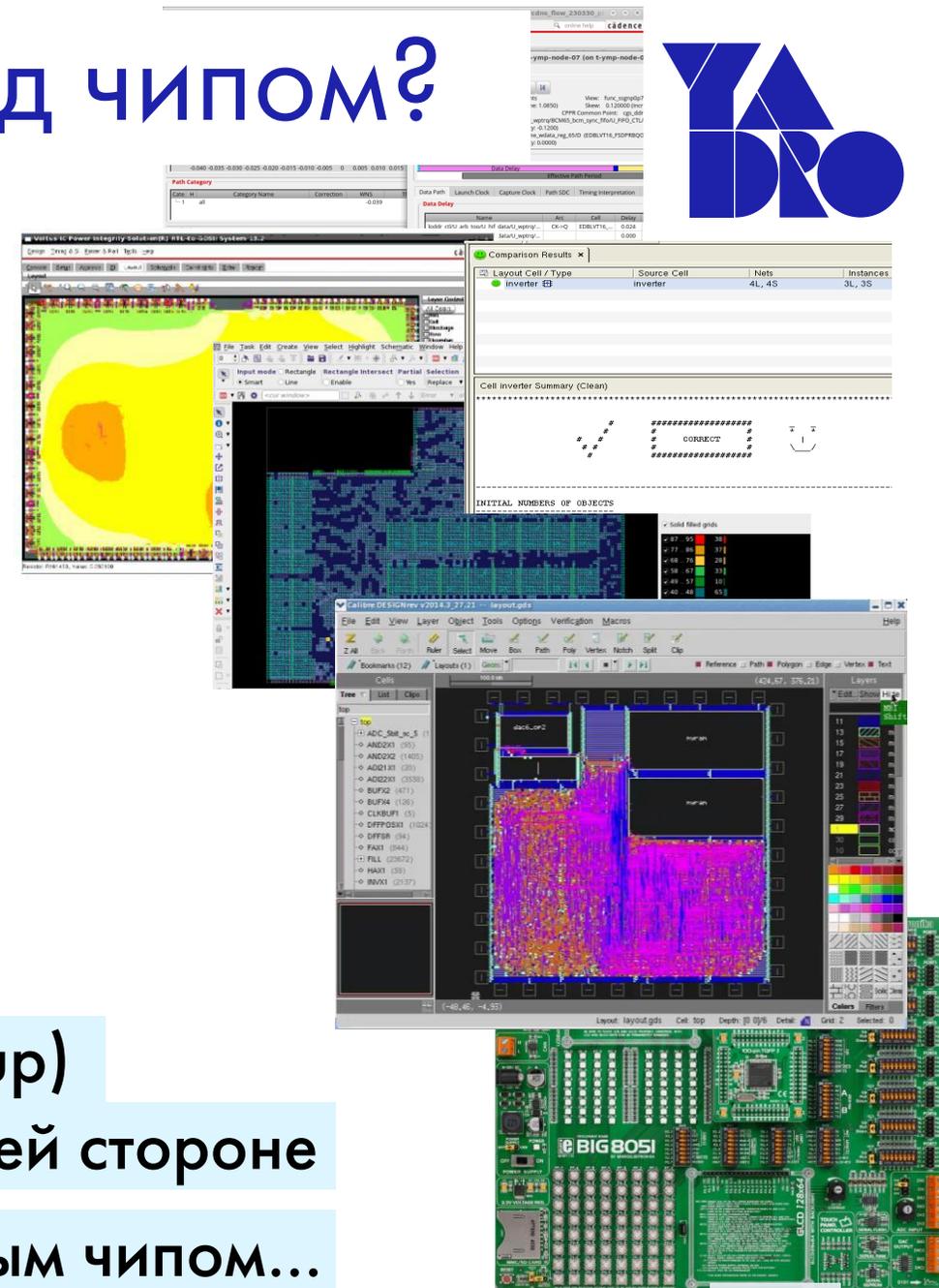
Signoff (SO) проверки: STA/PI/PV

Что дальше?

- Подготовка к отправке на фабрику: заполнение технологических форм, подготовка SO PV отчётов и GDS(OAS)
- Отправка на фабрику

Это всё?

- Чипы с фабрики нужно "оживить" (bring up) ВЕ должен быть готов к проверкам на своей стороне
- Параллельно начинается работа над новым чипом...



SoC DESIGN CHALLENGE



Что это такое?

- Хакатон, посвящённый разработке SoC
- Поделен на 4 основных трека:
 - Системное программирование
 - RTL проектирование (+RTL PRO*)
 - Топологическое проектирование
 - Функциональная верификация

Когда и где?

- Ежегодно в МИЭТ (г.Зеленоград)

Кому подходит?

- Для студентов 3-4 курса бакалавриата, магистров, а также для уже работающих специалистов *RTL PRO



Заключение



- Разработка микросхемы это сложный многоэтапный процесс
- Все этапы разработки сложны и требуют множество компетенций, в т.ч. с узкой специализацией
- Физическое проектирование (ВЕ) это один из ключевых этапов
- Приходите к нам в ВЕ – тут очень интересно =)
- Испытайте себя в роли разработчика SoC на нашем ежегодном хакатоне: **SoC Design Challenge !**

Что почитать?



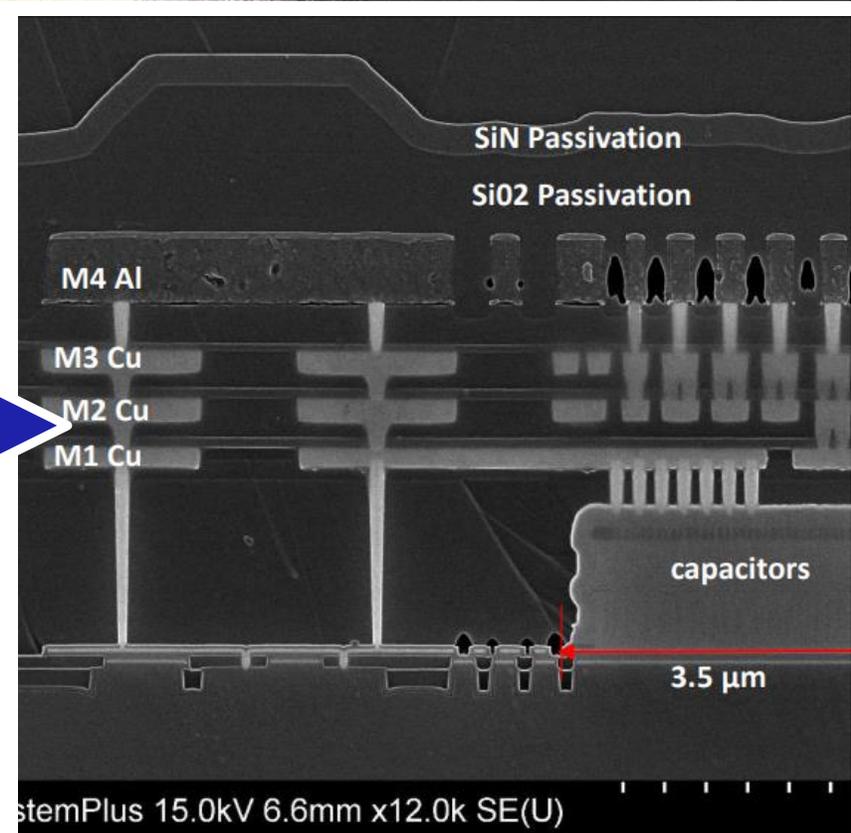
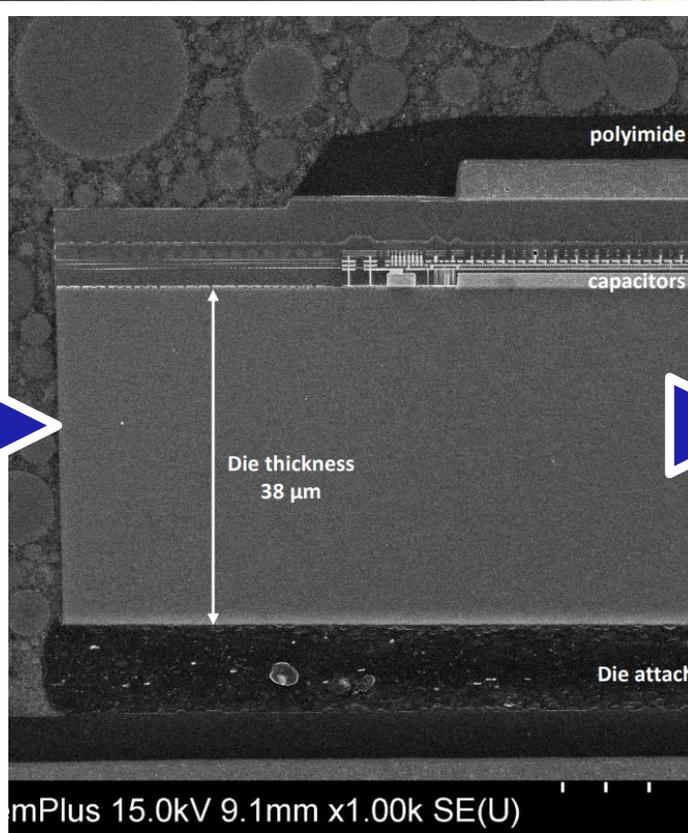
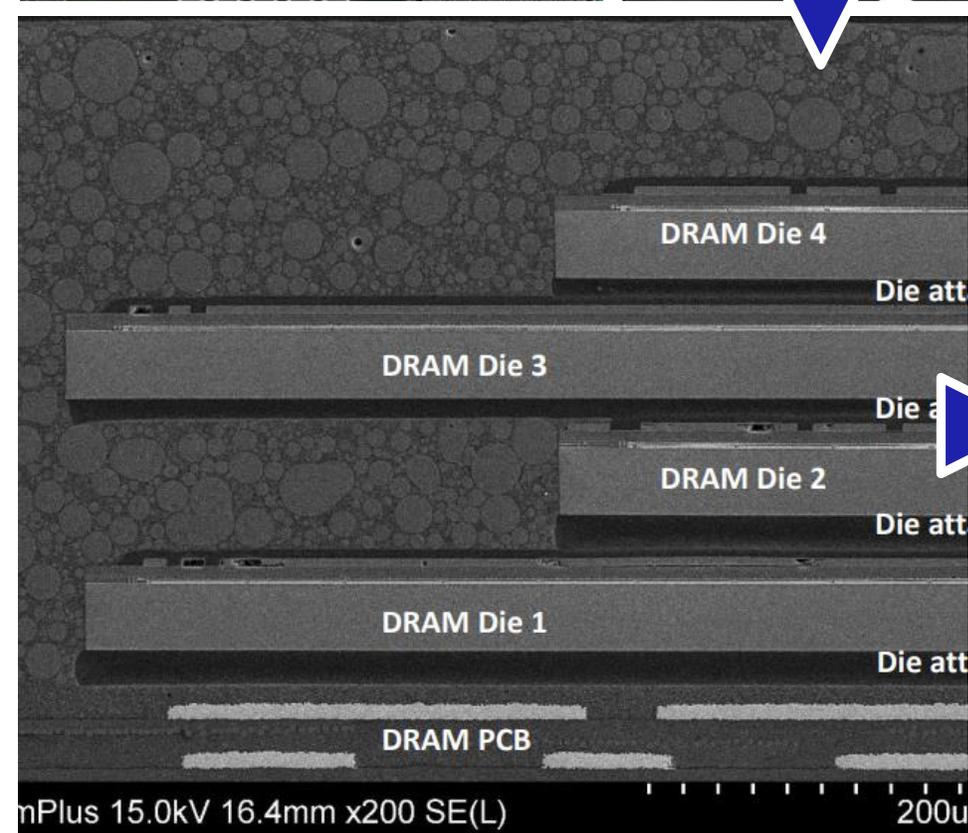
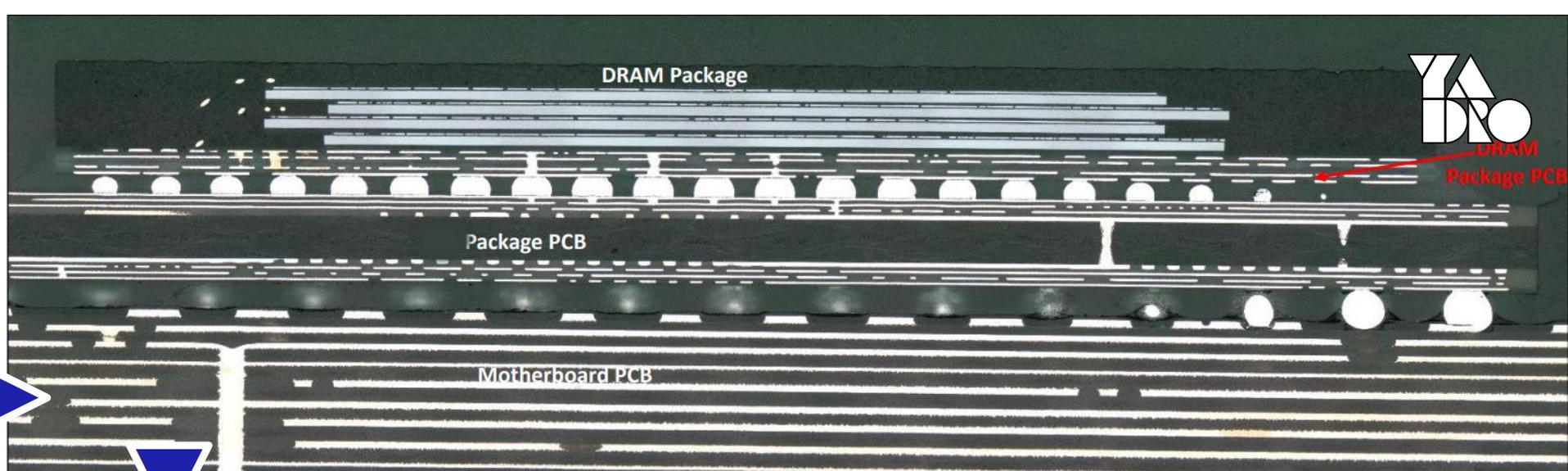
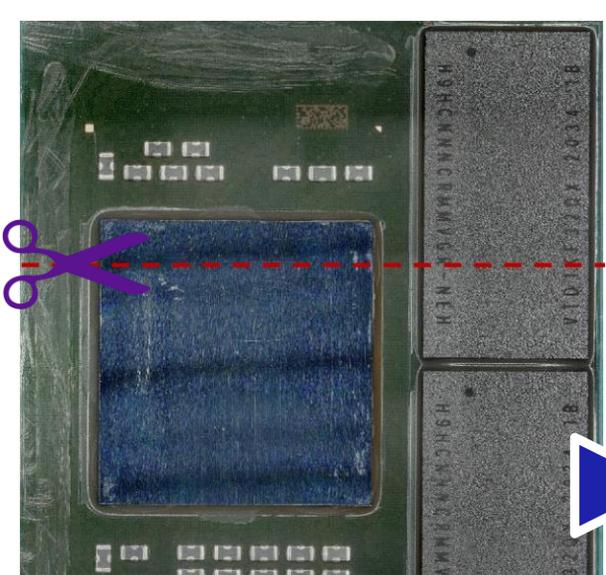
• Интернет-ресурсы:

- habr.com/ru/companies/yadro/articles/
- engineer.yadro.com
- deepchip.com
- vlsi-expert.com
- physicaldesign4u.com
- vlsiguru.com

• Литература:

- Цифровая схемотехника и архитектура компьютера (второе издание от Imagination), Дэвид М. Харрис, Сара Л. Харрис
- Static Timing Analysis for Nanometer Designs, J.Bhasker, R.Chadha



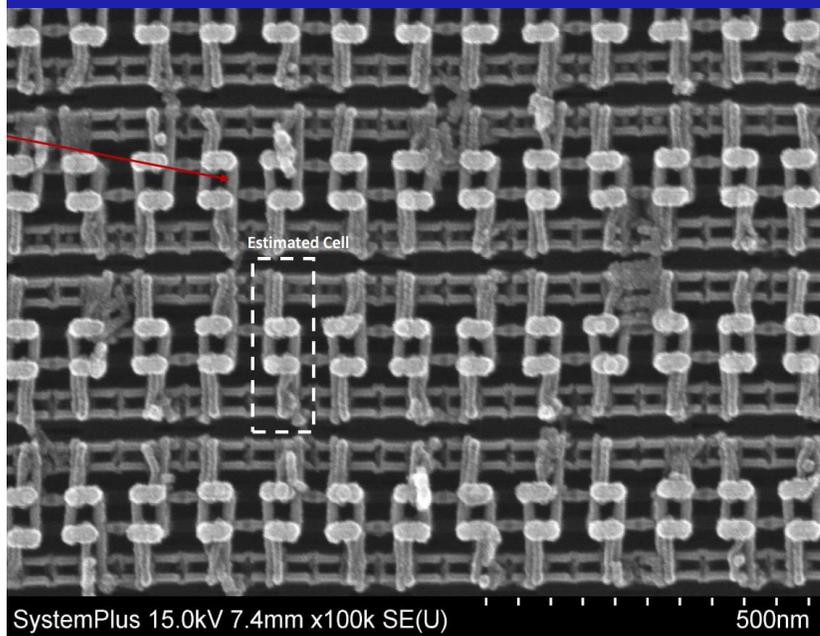


SRAM 6T Memory

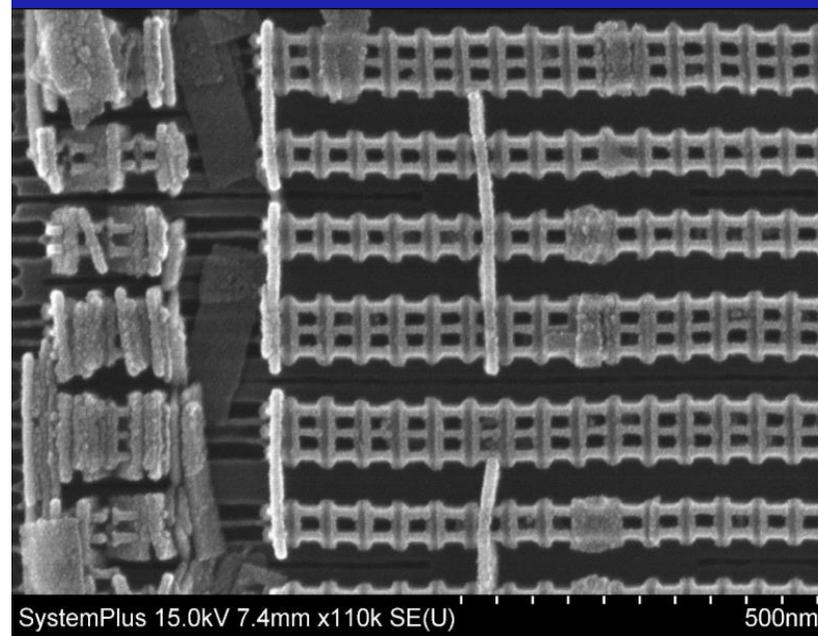
Logic



SRAM Cells Array



Std Cells in Rows



Std Cell (zoom in)

