



Практическое применение Simtera – отечественного симулятора и синтезатора ПЛИС

Артем Варганов, старший разработчик
Наталья Рожкова, разработчик

The logo for EREMEX, consisting of the word 'EREMEX' in a white, bold, sans-serif font, positioned on a blue background with a circuit board pattern.

EREMEX

www.eremex.ru

- возможностях системы Simtera;
- этапах разработки и тестирования проекта для Intel FPGA с использованием инструментов Simtera;
- вызовах, с которыми приходится сталкиваться разработчикам САПР.



Разработчик САПР
электроники с 2007 года



Первая российская САПР РЭА,
обеспечивающая сквозной цикл
проектирования электроники



Система цифрового моделирования
и синтеза электронных устройств

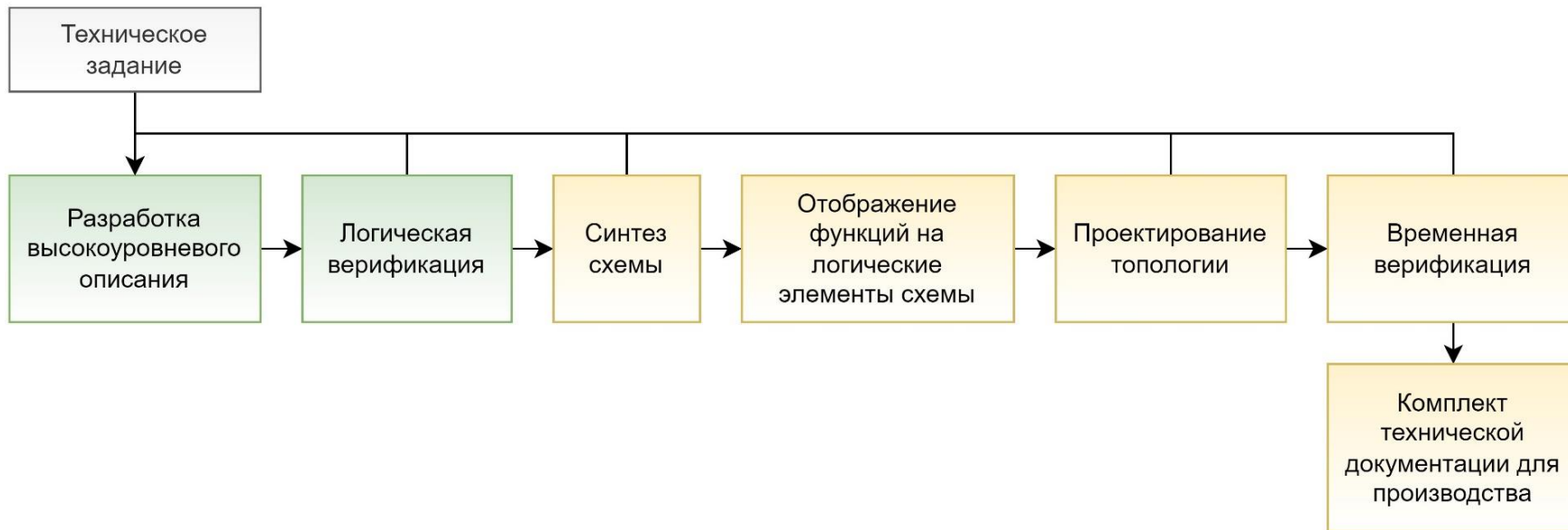
Выпуск конструкторской документации



Расширение функциональности и автоматизация функций



Комплект программиста (SDK)



	Simtera	Simtera IC	Simtera IC Pro (планируется)
Разработка HDL-описания	+	+	+
Логическая верификация	+	+	+
Синтез		+	+
Проектирование топологии			+

Delta Design Simtera IC — САПР для проектирования и синтеза ИМС (ПЛИС, СБИС, СМК), предлагающая следующий функционал:

- работа с базой данных компонентов для разработки в схемотехническом виде (УГО, HDL-модель);
- разработка принципиальных электрических схем;
- разработка функционального описания работы интегральной схемы на языках VHDL, Verilog, SystemVerilog, Verilog-AMS;
- проведение и отображение результатов верификации и поведенческого моделирования;
- проведение и отображение результатов «поведенческого синтеза» и «логического синтеза»;
- экспорт результатов проектирования в сторонние САПР проектирования ИМС.

```
uart_test/uart_test.v x
1 module uart_test(
2   input      sys_clk,           //External 50M clock
3   input      sys_rst_n,        //External reset signal, active low
4   input      uart_rxd,         //UART receiving port
5   output     uart_txd          //UART transmission port
6 );
7
8 //wire define
9 wire      uart_en_w;           //UART transmission enable
10 wire [7:0] uart_data_w;       //UART sends data
11
12 uart_recv u_uart_recv(
13   .sys_clk      (sys_clk),
14   .sys_rst_n    (sys_rst_n),
15
16   .uart_rxd     (uart_rxd),
17   .uart_done    (uart_en_w),
18   .uart_data    (uart_data_w)
19 );
20
21 uart_send u_uart_send(
22   .sys_clk      (sys_clk),
23   .sys_rst_n    (sys_rst_n),
24
25   .uart_en      (uart_en_w),
26   .uart_din     (uart_data_w),
27   .uart_txd     (uart_txd)
28 );
29
30 endmodule
```

Verilog-код верхнего модуля проекта

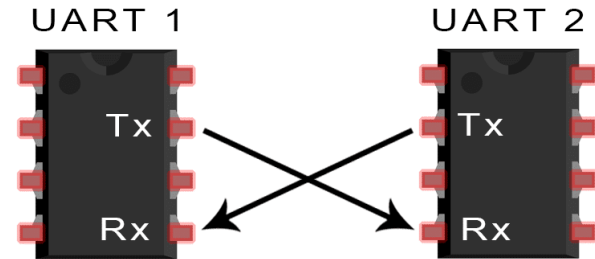
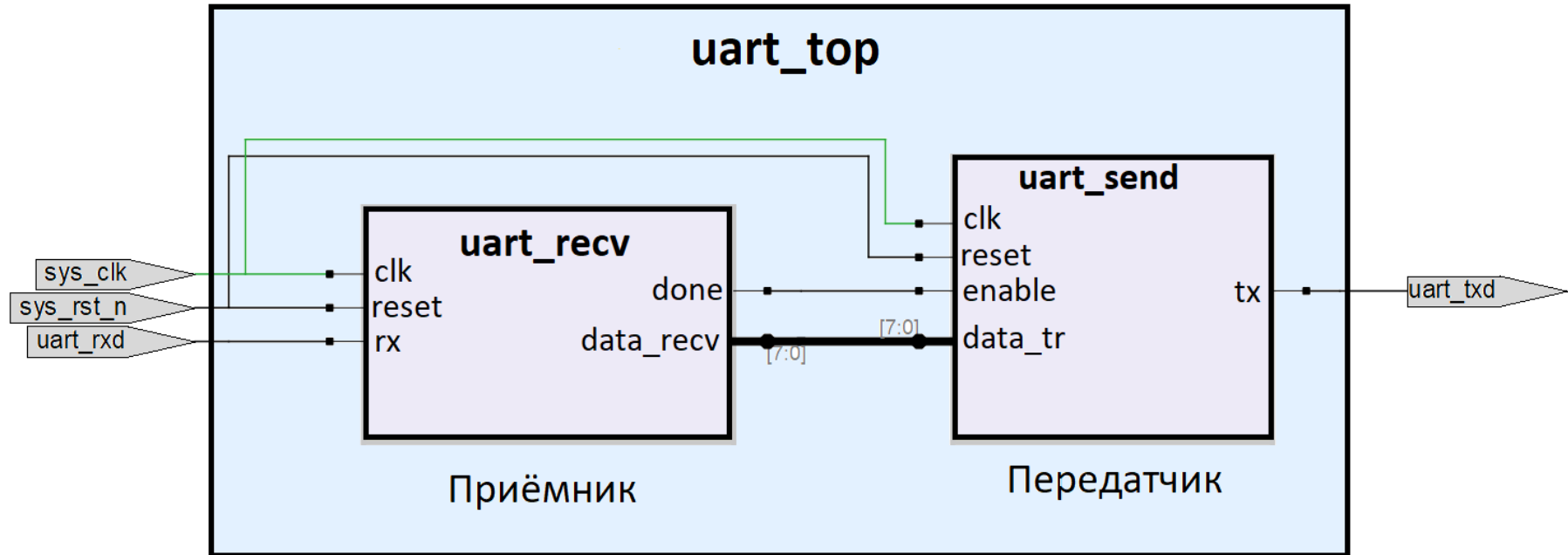
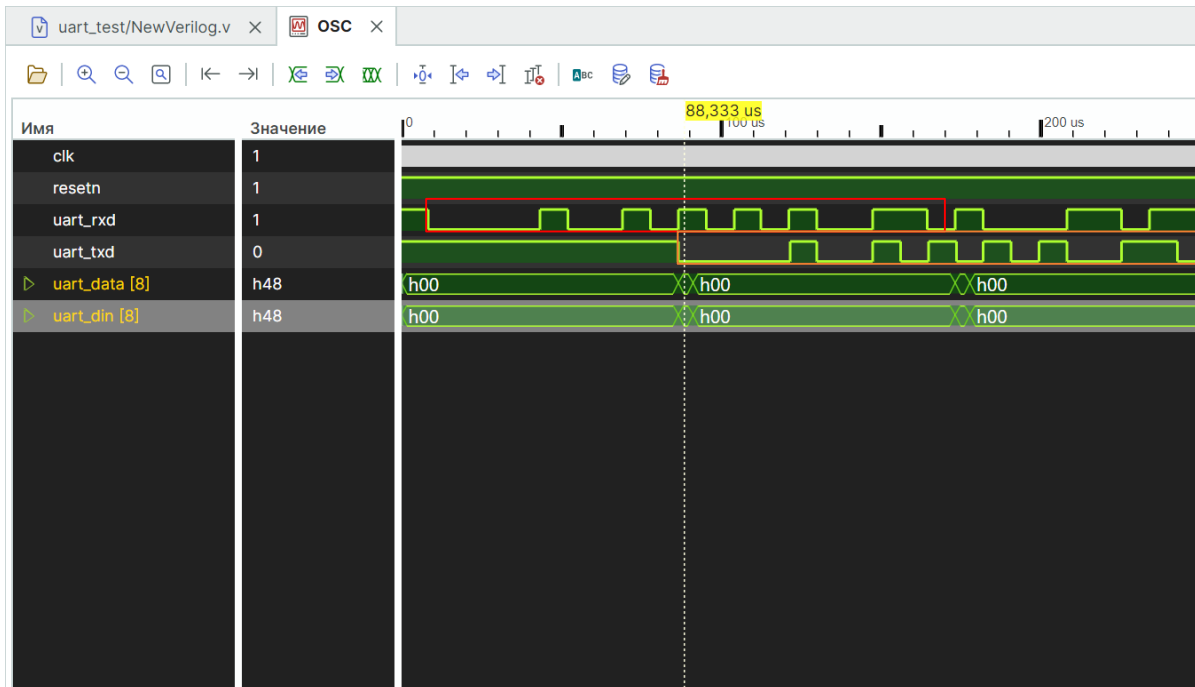


Схема подключения двух устройств





Структура модулей для интерфейса UART



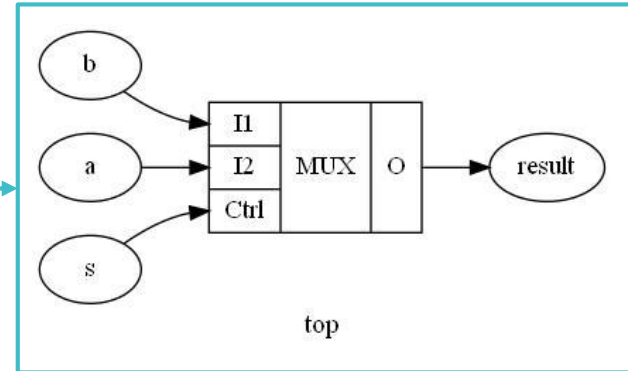
Осциллограф в Simtera

```
Журналы
Показать вывод из: Консоль
Генерация файла списка ошибок
*ИНФО* Запуск симуляции
Симуляция...
rx: 1 at time 0
tx: 1 at time 0
Sending byte: 48, 01001000 at time 40
rx: 0 at time 8720
rx: 1 at time 43440
rx: 0 at time 52120
rx: 1 at time 69480
rx: 0 at time 78160
Sending byte: 65, 01100101 at time 86840
rx: 1 at time 86840
tx: 0 at time 86950
rx: 0 at time 95520
rx: 1 at time 104200
rx: 0 at time 112880
rx: 1 at time 121560
tx: 1 at time 121670
rx: 0 at time 130240
tx: 0 at time 130350
rx: 1 at time 147600
tx: 1 at time 147710
tx: 0 at time 156390
rx: 0 at time 164960
tx: 1 at time 165070
Sending byte: 6c, 01101100 at time 173640
rx: 1 at time 173640
tx: 0 at time 173750
rx: 0 at time 182320
tx: 1 at time 182430
tx: 0 at time 191110
tx: 1 at time 199790
rx: 1 at time 208360
tx: 0 at time 208470
rx: 0 at time 225720
tx: 1 at time 225830
rx: 1 at time 234400
tx: 0 at time 243190
rx: 0 at time 251760
```

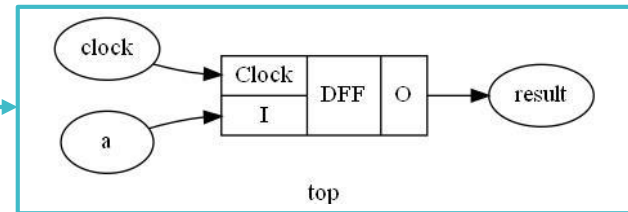
Основные этапы синтезатора в Delta Design Simtera IC

- Компиляция HDL-кода
- Проверка синтезируемости
- Поведенческий синтез

```
module top(input a, b, s, output result);  
  assign result = s ? a : b;  
endmodule
```



```
module top(input a, input clock, output reg result);  
  always @(posedge clock)  
    result <= a;  
endmodule
```

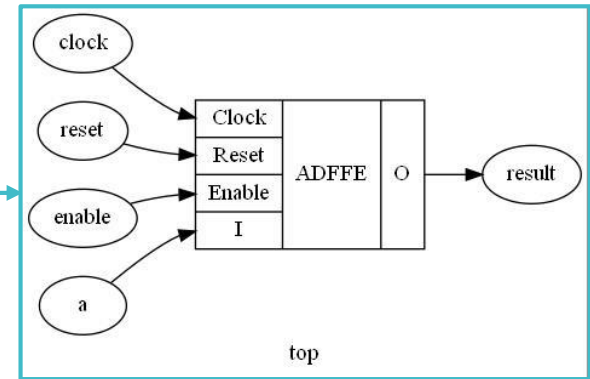
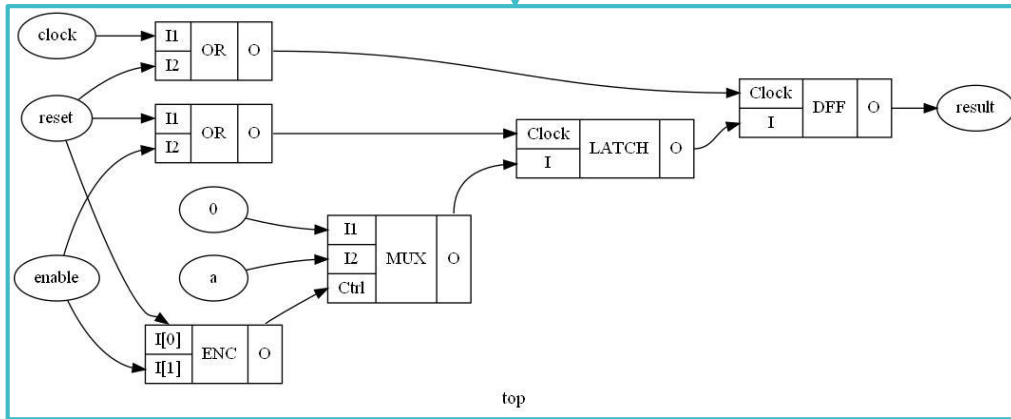


Основные этапы синтезатора в Delta Design Simtera IC

- Оптимизация на поведенческом уровне

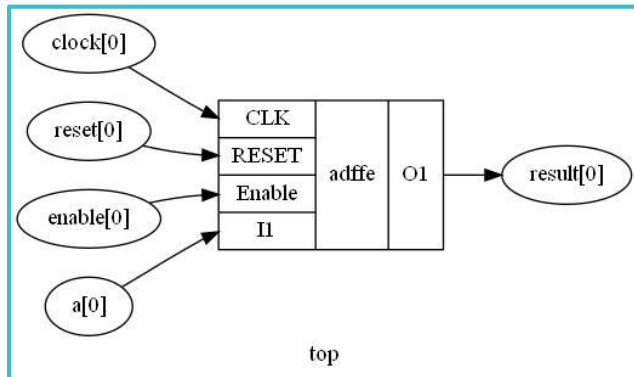
```

module top(input a, input clock, reset, enable, output reg result);
  always @(posedge clock, posedge reset)
    if(reset) result <= 0;
    else if(enable) result <= a;
endmodule
    
```



Основные этапы синтезатора в Delta Design Simtera IC

- Логический синтез
- Оптимизация на уровне логических элементов
- Генерация выходных файлов (netlist)



```
module ADFFE(input I, input Clock, input Reset, input Enable, output reg O);
    always @(posedge Clock, posedge Reset)
        if(Reset) O <= 0;
        else if(Enable) O <= I;
endmodule

module top(input a, input clock, input reset, input enable, output result);
    wire w46568647;

    ADFFE ADFFE0(.I(a), .Clock(clock), .Reset(reset), .Enable(enable), .O(w46568647));

    assign result = w46568647;
endmodule
```

RTL netlist, сгенерированный в Simtera IC

Выходные файлы синтеза

- uart_test
 - Технология
 - Осциллографы и Списки наблюдений
 - Результаты синтеза

- uart_test_uart_test_contents_детально.dot
- uart_test_uart_test_contents_укрупненно.dot
- uart_test_uart_test_lec_xor_graph.dot
- uart_test_uart_test_logic.dot
- uart_test_uart_test_netlist_logic.dot
- uart_test_uart_test_netlist_logic.v
- uart_test_uart_test_netlistLogic.v
- uart_test_uart_test_netlistRTL.v
- uart_test_uart_test_optimistic_lec_xor_graph.dot
- uart_test_uart_test_optimistic_netlist_logic.dot
- uart_test_uart_test_optimistic_netlist_logic.v
- uart_test_uart_test_raw.dot
- uart_test_uart_test_raw.v

RTL-представление синтезируемой схемы
(поведенческий уровень)

RTL-представление синтезируемой схемы
(логический уровень)

Список цепей (netlist) в формате Verilog
(поведенческий уровень)

Список цепей (netlist) в формате Verilog
(поведенческий уровень)

> System

> Tree

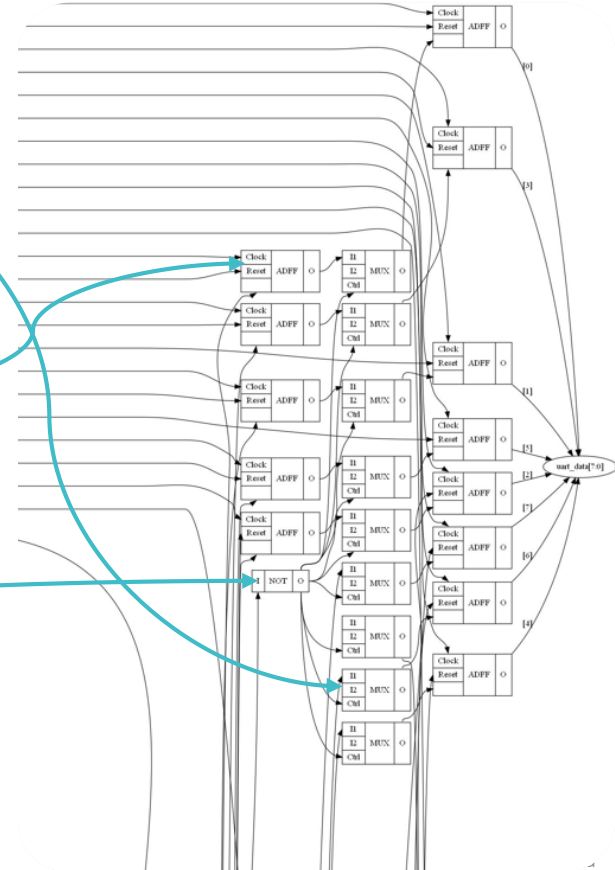
uart_test.v

Результаты синтеза

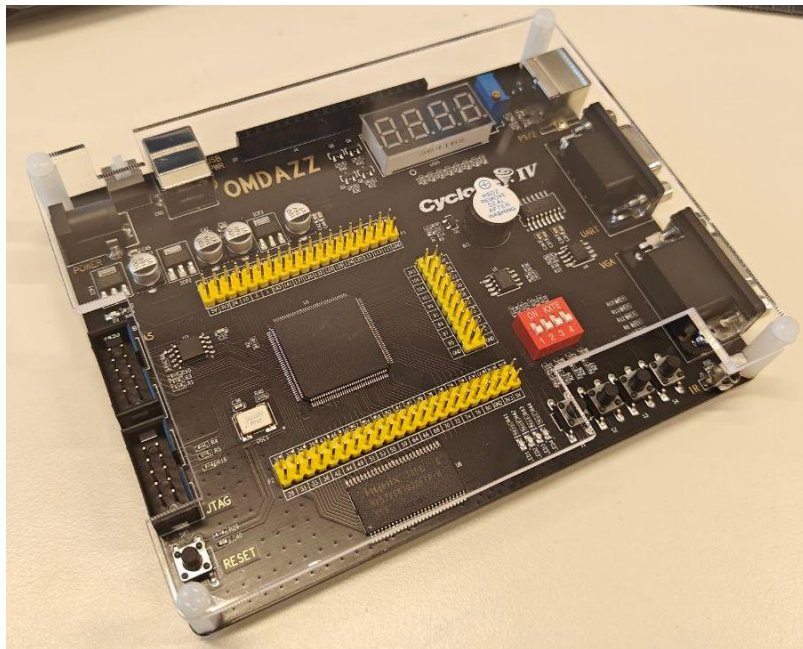
```
module MUX_1(input I1, input I2, input Ctrl1, output O);  
  wire data[1:0];  
  assign data[0] = I1;  
  assign data[1] = I2;  
  assign O = data[Ctrl1];  
endmodule
```

```
module ADFF(input I, input Clock, input Reset, output reg O);  
  always @(posedge Clock, posedge Reset)  
    if(Reset) O <= 0;  
    else O <= I;  
endmodule
```

```
module NOT(input I, output O);  
  assign O = ~I;  
endmodule
```



Отладочная плата



Altera (Intel) Cyclone IV EP4CE10E22C8N



Программатор USB Blaster



Адаптер USB на COM-порт RS-232

Проектирование топологии. Quartus Prime

- Создание проекта в Quartus;
- Добавление файла netlist сгенерированного Delta Design Simtera IC;
- Добавление пинов для входных и выходных сигналов модуля;
- Программирование ПЛИС

	Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✔ Ok		in sys_rst_n	Location	PIN_25	Yes			
2	✔ Ok		in uart_rxd	Location	PIN_115	Yes			
3	✔ Ok		out uart_txd	Location	PIN_114	Yes			
4	✔ Ok		in sys_clk	Location	PIN_23	Yes			

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress: 100% (Successful)

Enable real-time ISP to allow background programming when available

File	Device	checksum	usercode	program onfigure	verif check	blank check	examine	security Bit	erase	ISP LAMI
output_files/sl...	EP4CE6E22	00092...	00092...	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Тестирование на отладочной плате

The screenshot shows the Terminal v1.9b interface. The title bar reads "Terminal v1.9b - 20100630Я - by Br@y++". The interface is divided into several sections:

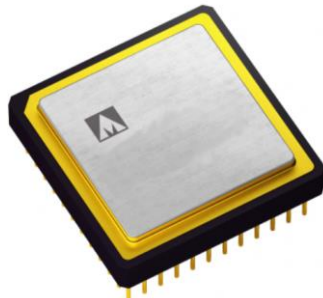
- Settings:** Includes buttons for Disconnect, ReScan, Help, About, and Quit. It features a COM Port dropdown set to "COM5" and a Baud rate section with radio buttons for 600, 1200, 2400, 4800, 9600, 14400, 19200, 38400, 56000, 115200, and custom. Other settings include Data bits (5-8), Parity (none, odd, even, mark, space), Stop bits (1, 1.5, 2), and Handshaking options (none, RTS/CTS, XON/XOFF, RTS/CTS+XON/XOFF, RTS on TX, invert).
- Settings (continued):** Includes checkboxes for Auto Dis/Connect, Time, Stream log, AutoStart Script, CR=LF, and Stay on Top. It also has fields for custom BR (115200) and Rx Clear (27), and buttons for ASCII table, Scripting, Graph, and Remote. Hardware flow control checkboxes for CTS, CD, DSR, and RI are also present.
- Receive:** Features a CLEAR button, a Reset Counter button, a Counter value of 43, and radio buttons for HEX, ASCII, Dec, and Bin. It includes StartLog, StopLog, and Request/Response buttons.
- Transmit:** Includes a CLEAR button, a Send File button, a value of 0, and a checked CR=CR+LF checkbox. It also has DTR and RTS checkboxes.
- Macros:** A grid of 24 macro buttons labeled M1 through M24, with a Set Macros button.
- Terminal Area:** The main text area displays "Hello, World!" which is highlighted with a red box. Below the macros, there is a text input field containing "Hello, World!" and a Send button with a checked +CR checkbox.
- Status Bar:** At the bottom, it shows "Connected", "Rx: 15", "Tx: 15", and "Rx OK".

Синтезатор	Количество элементов для проекта <i>uart_test</i>
Delta Design Simtera IC	169
Synplify Pro	91
Intel Quartus Prime	117
Yosys	121

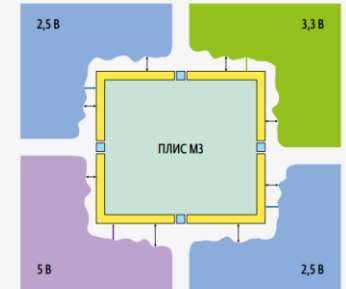
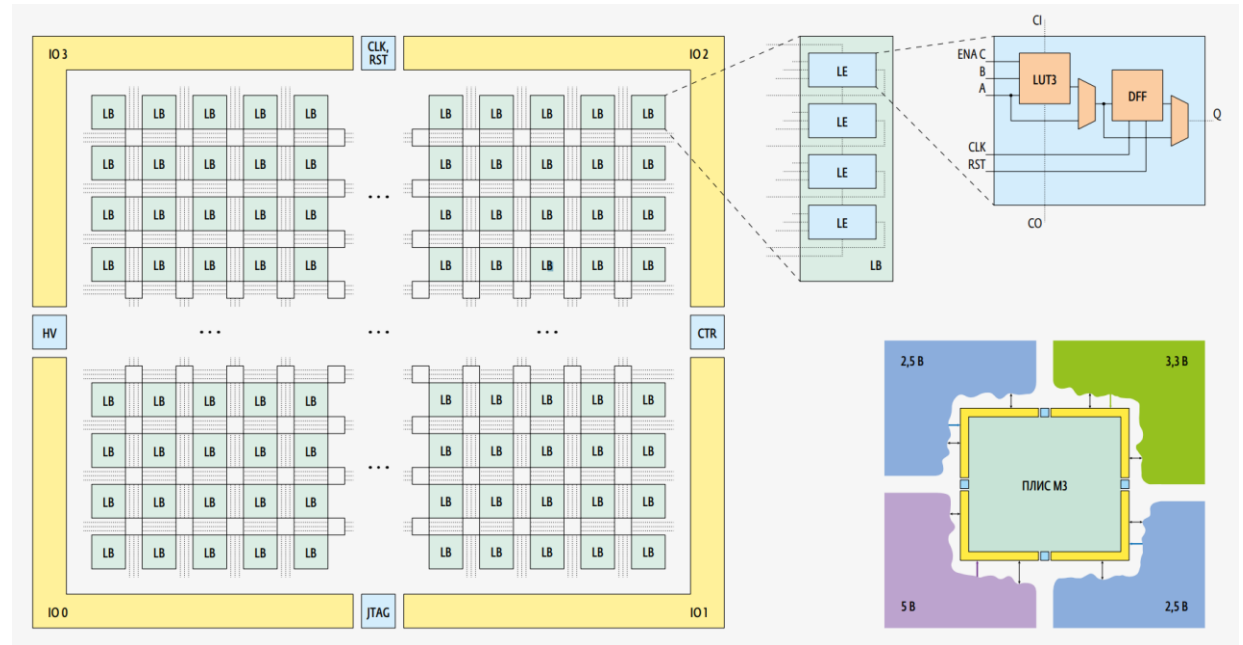
Поддержка полного цикла проектирования для ПЛИС МЗ (Миландр)



МК 8307.144



МК 6109.144

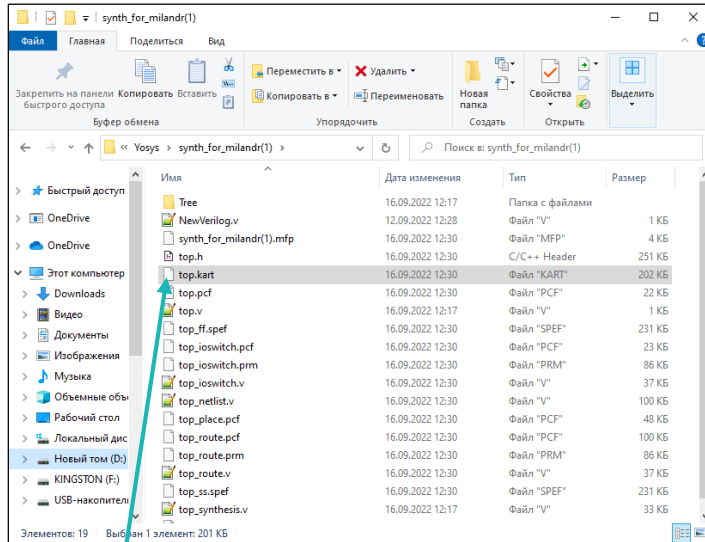


Сопоставление портов для ПЛИС М3 (Миландр)

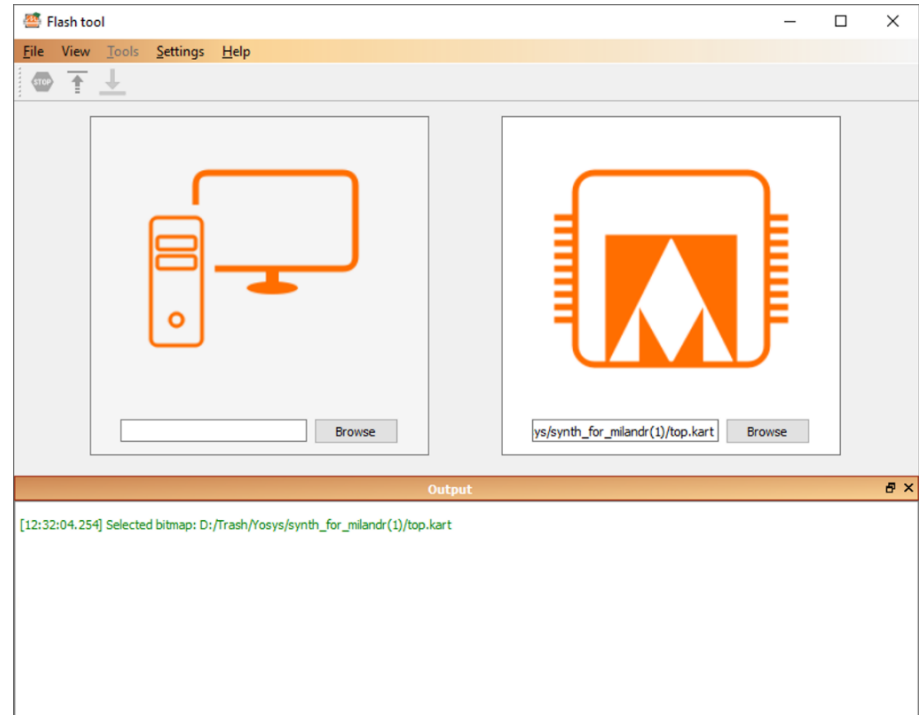
0.03 ms (39370 FPS), Objects: 0

Имя порта	Имя вывода	Ток вывода	Логический уровень	Триггер Шmitta	Подтяжка вывода	Номинал резистора
ck	U1 (B3)	8.0 mA	U3V0KOSTTL	off	off	50 KOhm
led0	U2 (A4)	8.0 mA	U3V0KOSTTL	off	off	50 KOhm
led1	U29 (M4)	8.0 mA	U3V0KOSTTL	off	off	50 KOhm

Программирование ПЛИС МЗ (Миландр)



Конфигурационный файл,
полученный в Simtera IC



0. Проблема поиска кадров.



ЭТА СОБАКА ИМЕЕТ НЮХ НА
УСПЕШНЫХ ПРОГРАММИСТОВ



1. Вопрос быстродействия системы.

	Было	Стало
Компиляция проекта из 10000 строк кода	≈ 30 с	< 1 с
Моделирование проекта с 16000 сигналов	≈ 2 мин	< 3 с

(AMD Ryzen 7 6800H)

2. Увеличение количества конструкций (как синтезируемых, так и несинтезируемых) при внедрении новых языковых стандартов.

```
`ifdef A
  `ifdef B
    // code for AND condition
  `endif
`endif
```

*IEEE Std 1800-2017
for SystemVerilog*



```
`ifdef (A && B)
  // code for AND condition
`endif
```

*IEEE Std 1800-2023
for SystemVerilog*

Покрытие функционала тестами

Test	Duration	Traits	Error Message
✔ DeltaDesign.Simtera.Simulation.Tests (1254)	11,6 min		
✔ DeltaDesign.Simtera.Simulation.Tests.Resolvers (24)	5,1 sec		
✔ AMSSystemChecker (24)	5,1 sec		
✔ DeltaDesign.Simtera.Simulation.Tests.Simulation (1230)	11,5 min		
✔ AMSSmashTests (11)	15,6 sec		
✔ CodegenTests (1131)	11,1 min		
✔ Verilog_CodegenProjectTests (24)	59,7 sec		
⚠ Verilog_CodegenProjectTests_Failed	1 ms		Clreason
✔ Verilog_CodegenTests (1105)	10,1 min		
⚠ Verilog_CodegenTests_Failed	1 ms		Clreason
✔ ConfluenceErrorTests (67)	4,4 sec		
✔ ParserCodegenTests (19)	3,5 sec		
⚠ ParserPerformance (1)	1 ms		
⚠ VcdTests (1)	1 ms		
✔ DeltaDesign.Unit.HDL.Simulator.Tests (43)	444 ms		
✔ DeltaDesign.HDL.Simulator.Tests (43)	444 ms		
✔ SimAnalogEventTests (4)	24 ms		
✔ Above	3 ms		
✔ AbsDelta	5 ms		
✔ Cross	9 ms		
✔ Timer	7 ms		
✔ SymbolicExpressionTest (39)	420 ms		

Test	Duration
✔ DeltaDesign.Simtera.Synthesis.Tests (353)	14,7 min
✔ DeltaDesign.Simtera.Synthesis.Tests (352)	14,7 min
⚠ DeltaDesign.Simtera.Synthesis.Tests.LEC (1)	1 ms
✔ DeltaDesign.Unit.HDLAIG.Tests (391)	53,2 sec
✔ DeltaDesign.HDLAIG.Tests (297)	33,8 sec
✔ ConesTests (8)	104 ms
✔ GraphsAlgorithmsTests (4)	19 ms
✔ MaigBuilderLocalOptimizationsTests (35)	< 1 ms
✔ MaigFromVerilogSourceTests (56)	7 sec
✔ MaigNumberingSmallTests_MinSeparator (14)	< 1 ms
✔ MaigNumberingWrkContextTests (28)	2,5 sec
✔ MaigProperOrderOfHandlesTests (14)	2,9 sec
✔ MaigSynthesisCompositeTests (79)	19,7 sec
✔ MaigSynthLibertyTotalGatesTests (14)	1,5 sec
✔ MaigTests (18)	7 ms
✔ NanocronGenerator (2)	< 1 ms
✔ PermutationsTests (17)	7 ms
✔ PooledCollectionsTests (8)	1 ms
✔ DeltaDesign.HDLAIG.Tests.Adag (94)	19,3 sec
✔ _ADAG_Tmp_AllLibCellsGoodSynthTests_Nanocron (8)	5,4 sec
✔ _ADAG_Tmp_AllLibCellsGoodSynthTests_NoLiberty (12)	99 ms
✔ _ADAG_Tmp_AllLibCellsGoodSynthTests_YoBench (4)	64 ms
✔ _Adag_Tmp_Lec (8)	4,9 sec
✔ _ADAG_Tmp_Synth (26)	6,8 sec
✔ _ADAG_Tmp_Tests (10)	176 ms
✔ _ADAG_Tmp_Tiles (19)	1,5 sec
✔ _Adag_Tmp_Verilog (7)	433 ms
✔ DeltaDesign.Unit.HDL.Synthesis.Tests (876)	4,7 sec
✔ DeltaDesign.Unit.HDL.TechFile.Tests (79)	175 ms
✔ DeltaDesign.HDL.TechFile.Tests (79)	175 ms
✔ TFileLoaderTests (60)	118 ms
✔ TFOjectTests (19)	57 ms

*Всего более 3000 тестов
(база постоянно пополняется)*



t.me/simtera



Simtera Support

- Публикация новых патчей;
- Пользовательская поддержка



Спасибо за внимание!

www.eremex.ru