



БУДУЩЕЕ
В НАШИХ
РУКАХ

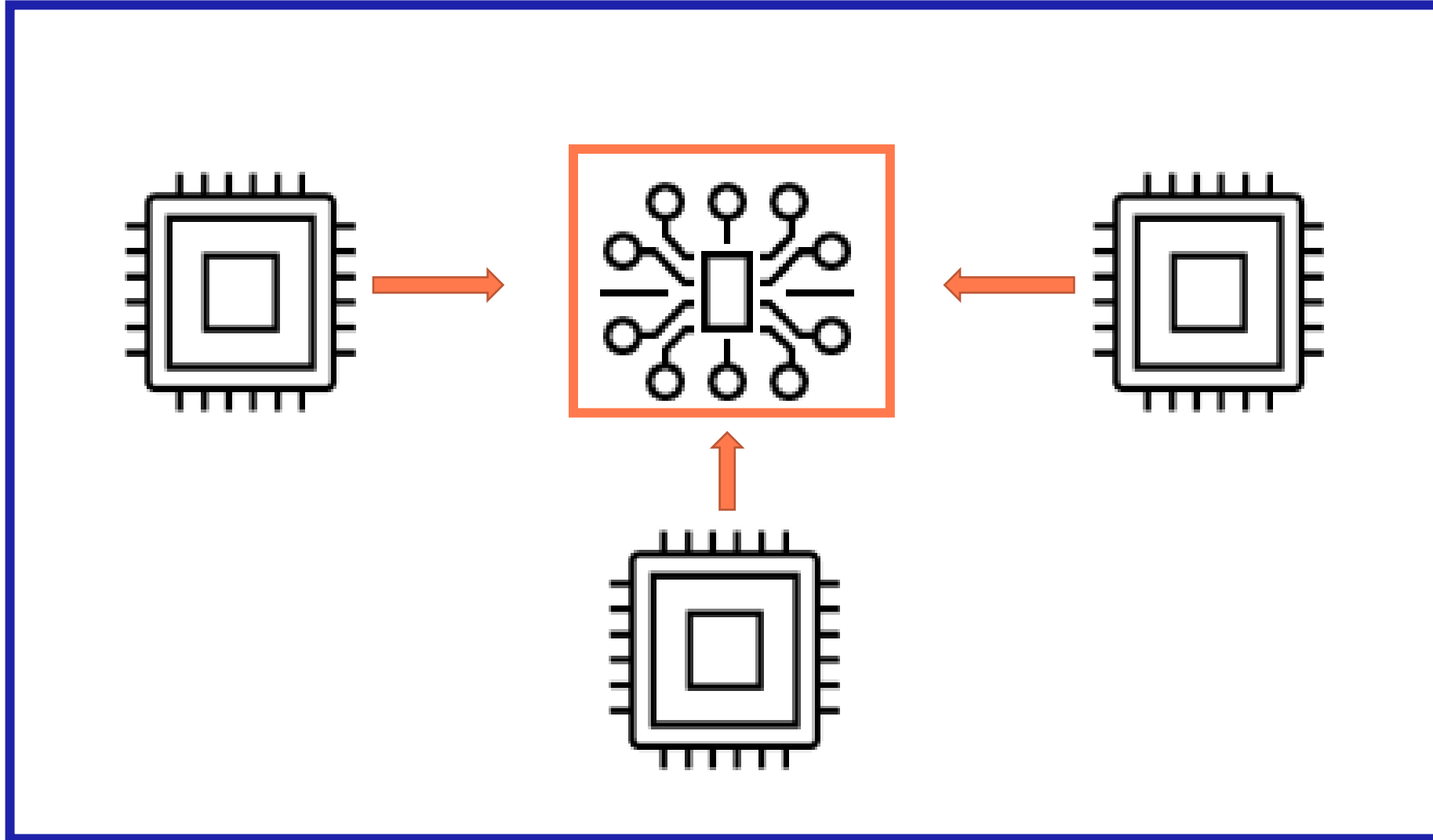
Физический дизайн: FPGA vs ASIC



Власов Александр
Ведущий инженер по разработке СнК
команда физической имплементации, YADRO

- Путь от Custom Design к Full Chip
- Разработка маршрутов ВЕ проектирования

Что делать, если быстро нужна микросхема?





Функции микросхемы

- Микроконтроллер
- Коммутатор
- ЦОС
- Криптография
- ???



Физический дизайн

- Выбор FPGA
- RTL-> Firmware

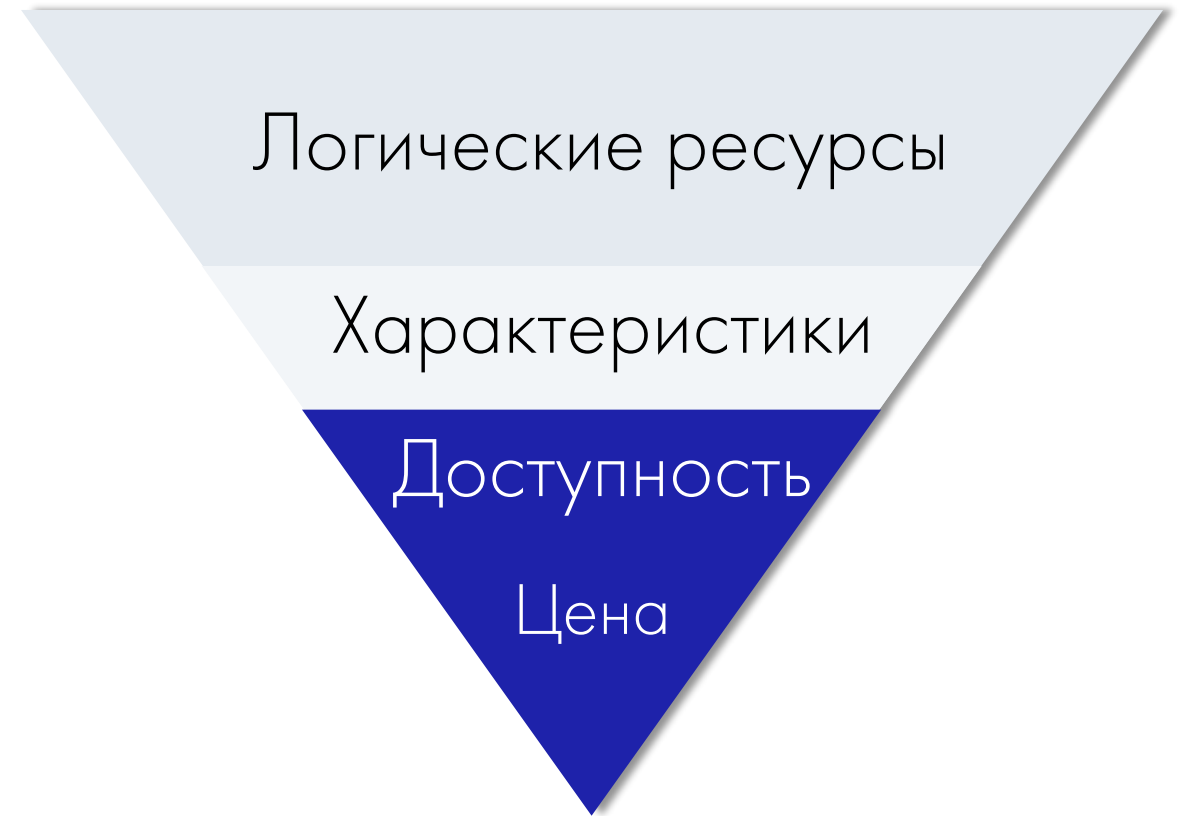
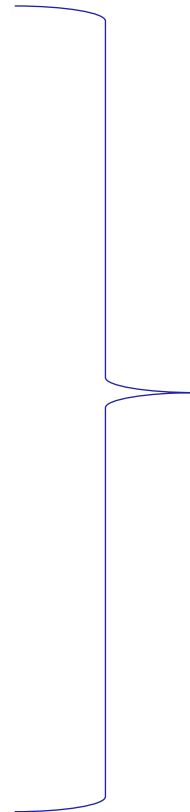


Параметры FPGA



- Логические элементы
- Блоки памяти
- Специальная логика
- Hard IP
- Быстродействие/Мощность

Подбор FPGA





Функционал VS Цена

	Cyclone III	Cyclone IV	MAX 10	Arria 10 Low	Arria 10 High
Логические ячейки, тыс.	15,0	29,0	50,0	220,0	660,0
Память, Мбит	0,5	1,1	1,6	13,4	48,4
Частота, МГц	315,0	200,0	450,0	1500,0	1500,0
Цена, тыс руб	5,0	24,0	63,0	144,0	869,0



Функционал



Стоимость

САПР для FPGA



Altera
Xilinx



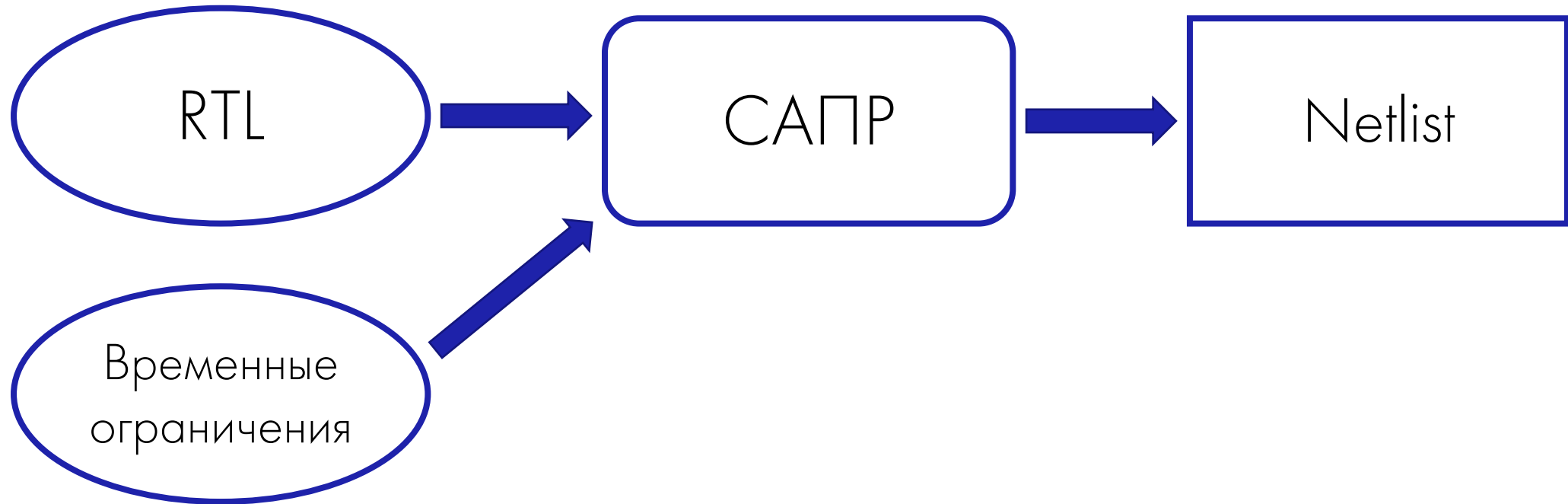
Quartus
Vivado



Адаптация RTL под выбранную FPGA

- Инстанцирование
 - Блоки памяти
 - Специальную логику (MUL)
 - Hard IP
- Цепи синхросигналов
 - PLL/DLL
 - Упростить логику синхросигналов
- Реализация сбросов
 - Упростить и сократить

Синтез нетлиста FPGA



RTL-to-Firmware



- Размещение на площади FPGA (Place)
- Реализация системы синхронизации (Clock Tree Synthesis)
- STA check
- Моделирование
- Создание Firmware



От FPGA к ASIC



	FPGA	ASIC
Быстродействие	✗	✓
Мощность	✗	✓
Отладка	✓	✗
Объём функционала	✗	✓
Количество инженеров	✓	✗
Разработка	✓	✗
Цена микросхемы	✗	✓

Когда только ASIC



FPGA	Причина	ASIC
Высокая цена	Снижение общей цены	Массовое производство
Медленно и много потребляет	Сделать лучше	Быстро и эффективно
Нельзя сложнее	Ограничения FPGA	Больше функционала



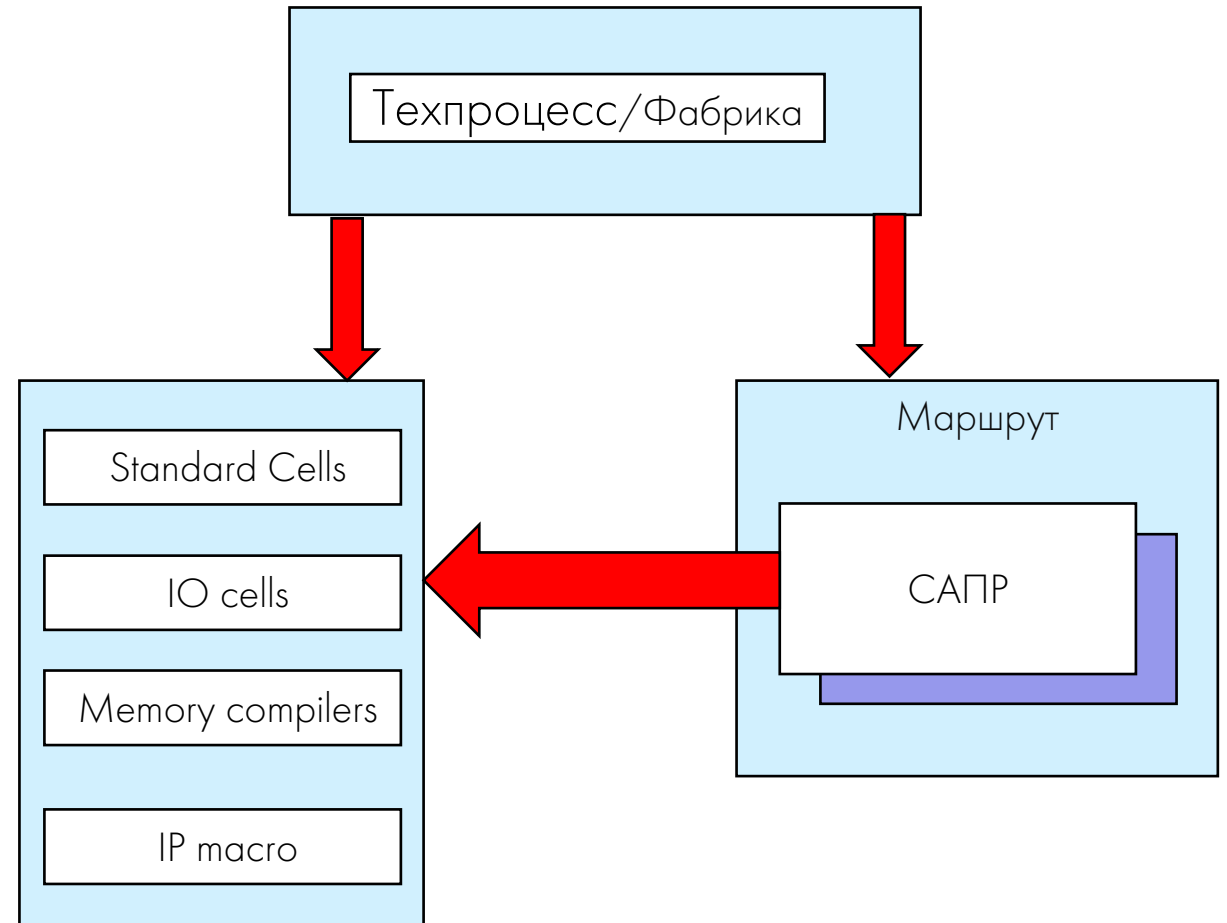
Выбор физического базиса ASIC

- Выбор технологии (фабрики)
- Библиотечные данные
- САПР/Маршрут

Библиотеки и САПР для ASIC

Цепочка выбора:

- Реализация под выбранную технологию
- Доступность
- Поддержка в САПР
- Стоимость





Адаптация RTL под ASIC

- Инстанцирование
 - Блоков памяти
 - Hard Macro IP
 - IO ячеек
- Handplaced cells
 - Clock Gates
 - MUX
- Широкие возможности по синхросигналам и сбросам в RTL

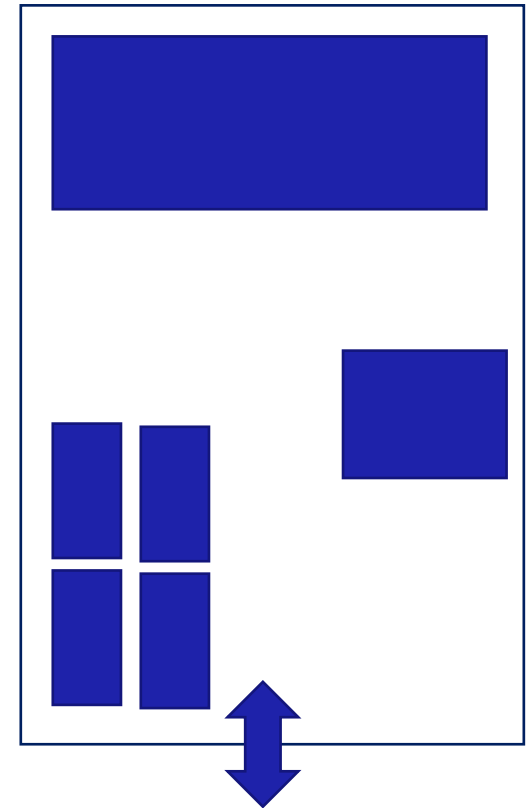


Иерархическое физическое проектирование

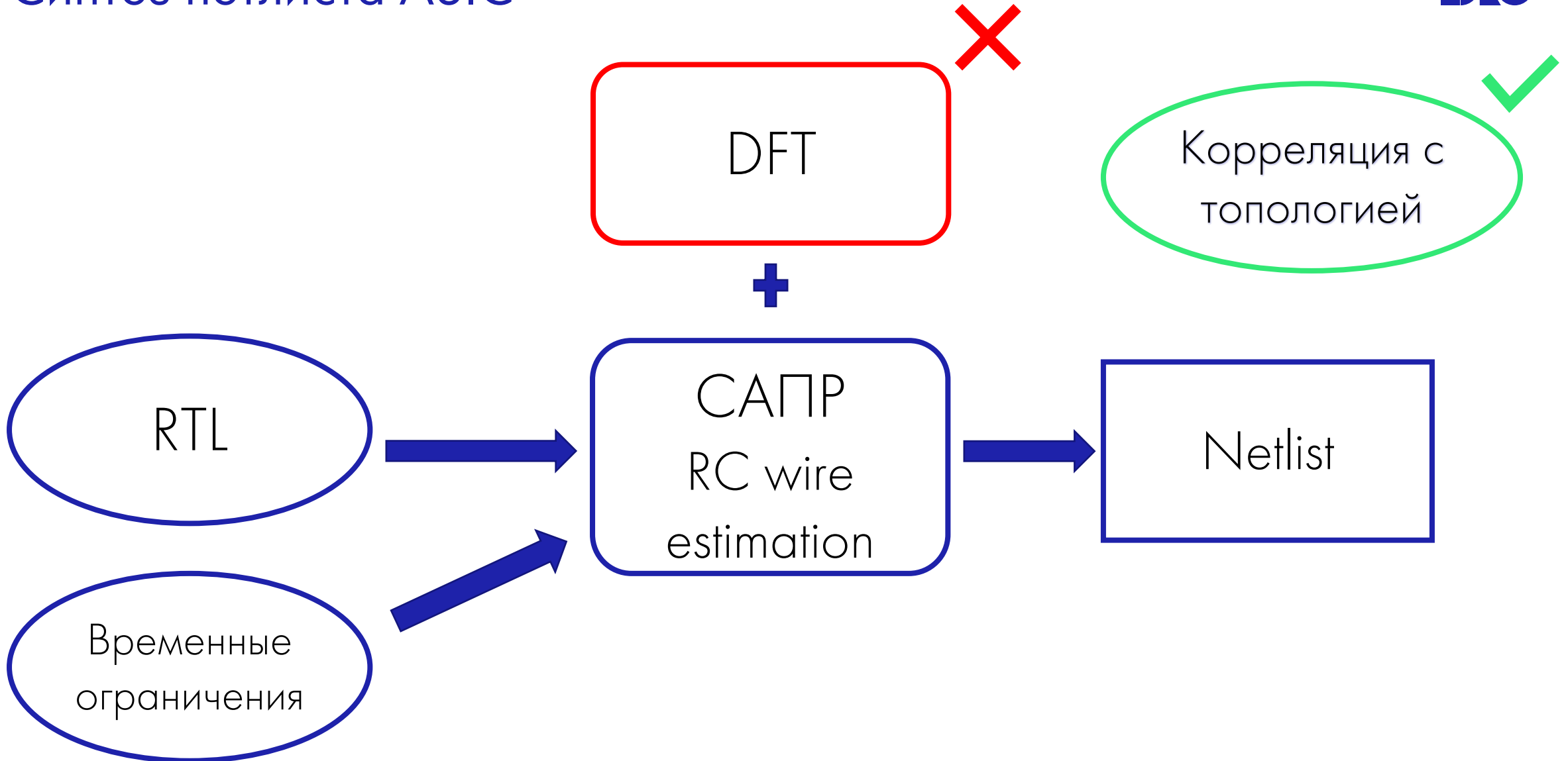
- «Целиком»
 - Небольшой проект
 - Технологии $\geq 180\text{нм}$
- По блокам
 - «Снизу-вверх» подход: блоки + топ уровень
 - «Сверху-вниз» подход: выделение блоков

Floorplan

- Геометрические границы
- Порты I/O
- Размещение IP macro
- Размещение физических ячеек
- Power/Ground



Синтез нетлиста ASIC





Этапы проектирование топологии ASIC

- Размещение Netlist с учётом Floorplan (Place)
- Реализация системы синхронизации (Clock Tree Synthesis)
- Трассировка межсоединений (Route)
- Signoff



Проблема DRC

- Design Rule Check
 - Чем новее технология, тем больше правил
 - FEOL & BEOL
 - Проектирование топологии и Signoff

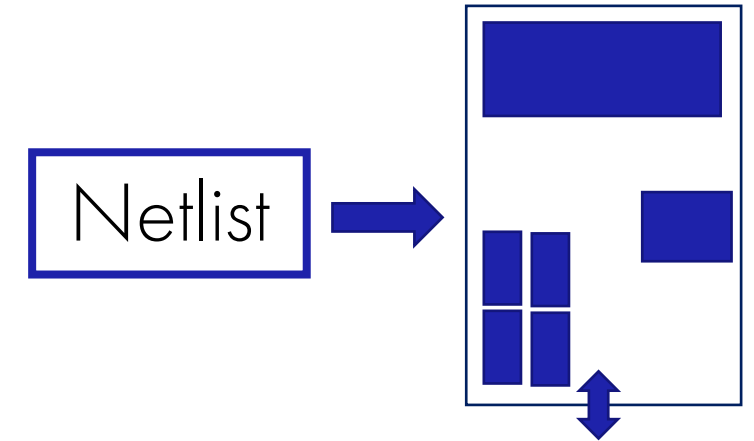
Размещение Netlist с учётом Floorplan



- Риск снижения быстродействия
- DRC



- Возможности оптимизации
 - Быстродействия
 - Мощности



Реализация системы синхронизации



- Риск снижения быстродействия
- DRC

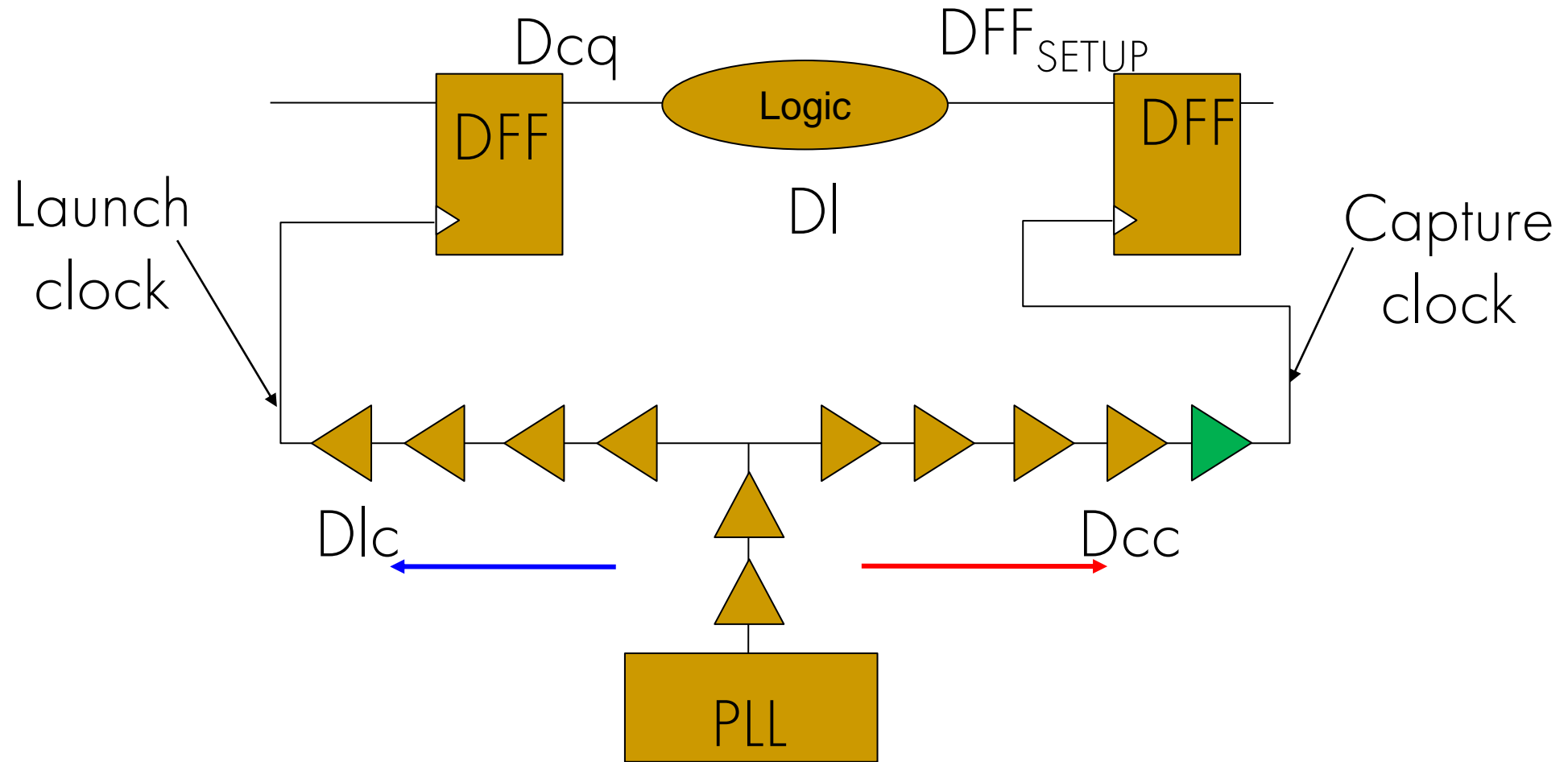


- Функционал в цепях синхронизации
 - MUX
 - Clockgating
 - Dividers
- Возможность управления CTS
 - Быстродействие – useful skew



Useful skew

$$D_{cq} + D_l \leq T - D_{FF_{setup}} + (D_{cc} - D_{lc})$$



Трассировка межсоединений



- Риск снижения быстродействия
 - SI
- Hold fix
- DRC
 - Hot routing spots



- ?



Signoff ASIC

- Signoff проверки
 - RTL ↔ TOPO
 - SIGNOFF STA
 - POWER INTEGRITY
 - PHYSICAL VERIFICATION
- Моделирование
 - Верификация
 - DFT тесты



Отладка. Исправление ошибок.

- Отладка
 - DFT - технологический брак
 - Bringup – отладка функционирования
- Исправление ошибок
 - Программный «обход»
 - Правка металлами
 - Перезапуск



FPGA vs ASIC

- Этап физического дизайна ASIC сложнее и длиннее, чем у FPGA, но результат лучше
- FPGA быстрее RTL-to-CHIP
- FPGA и ASIC – разные ниши применения.



БУДУЩЕЕ
В НАШИХ
РУКАХ