



Проектирование интегральной схемотехники в российских САПР

Малышев Никита, руководитель направления цифрового
моделирования и синтеза

The logo for EREMEX, featuring the word 'EREMEX' in a white, bold, sans-serif font. The background of the slide is a blue gradient with a complex circuit board pattern and glowing blue nodes.

EREMEX

www.eremex.ru

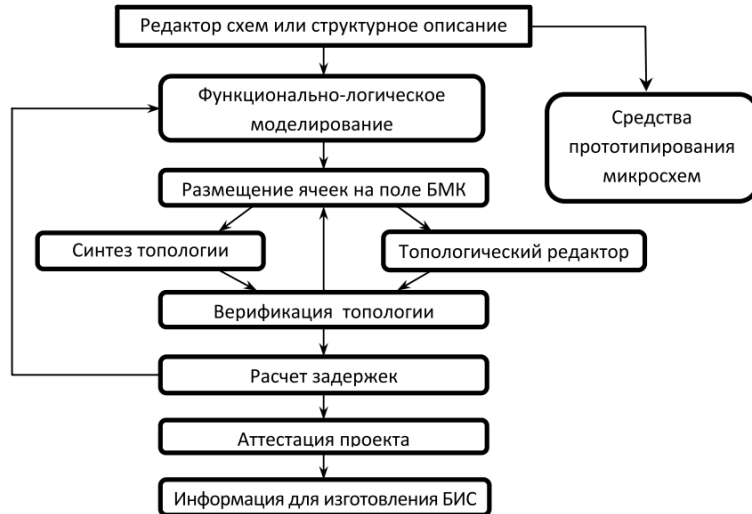
- Какие существуют отечественные решения для проектирования чипов?
- Система поддержки государства по развитию отечественных систем автоматизированного проектирования,
- О вызовах, с которыми приходится сталкиваться разработчикам САПР.



БСК — базовый структурированный кристалл.

БСК представляет собой регулярную матрицу разрешенных точек привязки функциональных ячеек и сложно-функциональных блоков (СФ-блоков)

На базе БМК серий 5503 и 5507 уже разработано более 600 типов полузаказных микросхем, в том числе для аппаратуры космического назначения — космических кораблей «Прогресс-М», «Союз-ТМА», разгонного блока «Бриз-М», серии космических аппаратов «Экспресс», «ГЛОНАСС» и многих других космических систем



Подсистемы входящие в САПР:

1. Графический редактор схем,
2. Редактор описания схем в формате Verilog netlist,
3. Подсистема функционально-логического моделирования,
4. Подсистема размещения ячеек на поле БМК,
5. Подсистема синтеза топологии,
6. Специализированный топологический редактор,
7. Подсистема верификации топологии,
8. Подсистема расчета задержек сигналов в топологии,
9. Подсистема анализа устойчивости проекта,
10. Средства обеспечения оперативного макетирования с помощью имитатора БИС

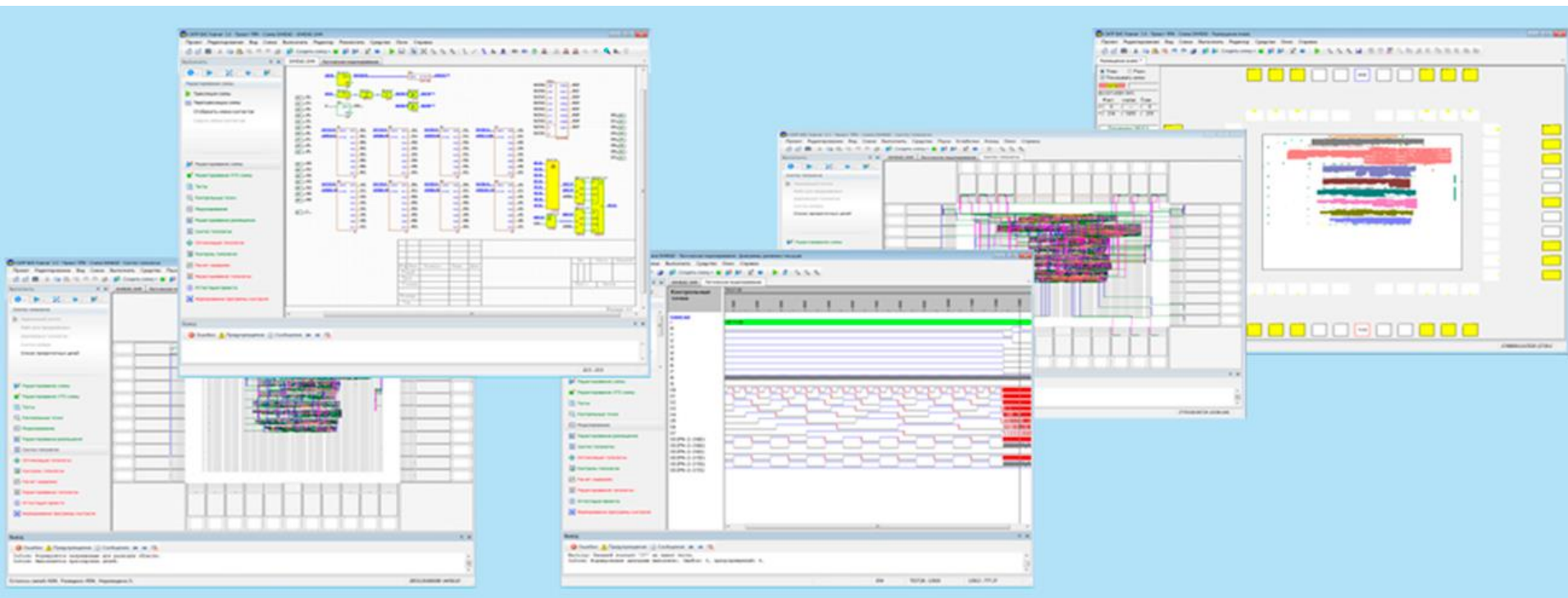
Функционирует на ОС семейства Windows

Микросхемы серий БМК 5503 и 5507



Тип БМК	Количество условных вентилях поле БМК	Количество внешних контактов	Напряжение питания, В	Рабочая частота, МГц	Тип корпуса	Обозначение технических условий
Серия БМК 5503 категории качества «ВП»						
H5503XM1	576	28	5	30	H09.28-1B	АЕЯР.431260.159ТУ
5503БЦ7Т1	5478	84	5	25	МК 4247.100-2	---
Серия БМК 5507 категории качества «ВП»						
5507БЦ1У	576	28	3	25	H09.28-1B	АЕЯР.431260.227ТУ
5507БЦ7Т1	5428	84	5	25	МК 4247.100-2	---

Графический интерфейс САПР «Ковчег 3.04»*



6 *НПК «Технологический центр», Общие сведения о специализированных БИС (http://asic.ru/science/CAD_development/CAD_BIC_Developm)

Подсистемы входящие в САПР:

1. Редактор HDL-проектов (Verilog, SystemVerilog, VHDL),
2. HDL-симулятор*,
3. Логический синтезатор*,
4. Система технологического отображения (X-MAP),
5. Топологический синтезатор (X-CAD),
6. Статический временной анализ (X-STA),
7. Редактор размещения (X-PLACE),
8. Мастер создания СФ-блоков,

* - реализовано с помощью открытого ПО
Функционирует на ОС семействах Windows/Linux



Программный комплекс X-CAD использует собственные разработки ИППМ РАН в совокупности с открытыми программными продуктами для отдельных этапов проектирования на ПЛИС

Yosys — инструмент для синтеза RTL

Особенности Yosys:

1. Широкая поддержка Verilog-2005,
2. Встроенные формальные проверки,
3. Синтез на основе LUT элементов,
4. Синтез на основе библиотеки стандартных ячеек,
5. Экстракция и мэппинг различных СФ-блоков

GHDL — инструмент для анализа, компиляции, симуляции и синтеза

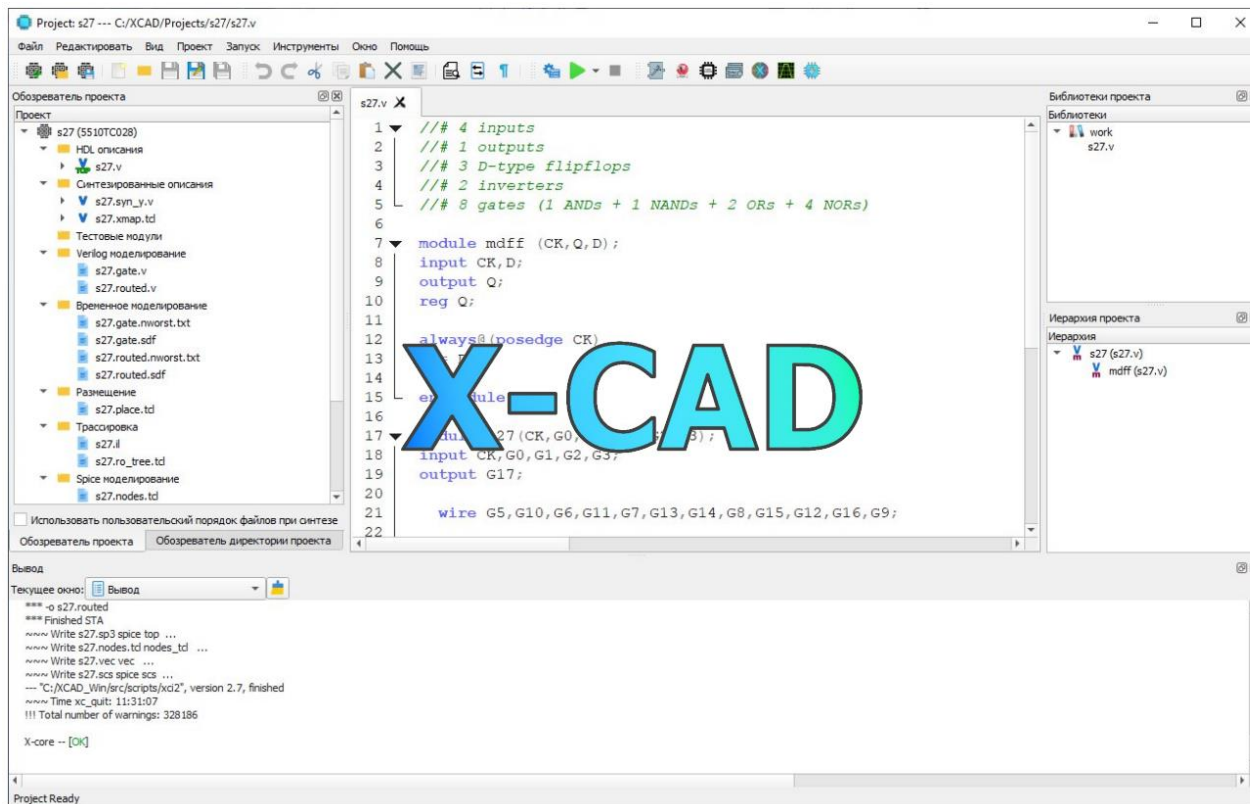
Особенности GHDL:

1. Полная поддержка VHDL IEEE 1076 версий 1987, 1993, 2002, частично — 2008,
2. Работа с большими проектами за счет преобразования файла VHDL в машинный код без использования промежуточного языка,
3. Интеграция в Yosys (плагин)

SURELOG — инструмент для препроцессинга, анализа и компиляции

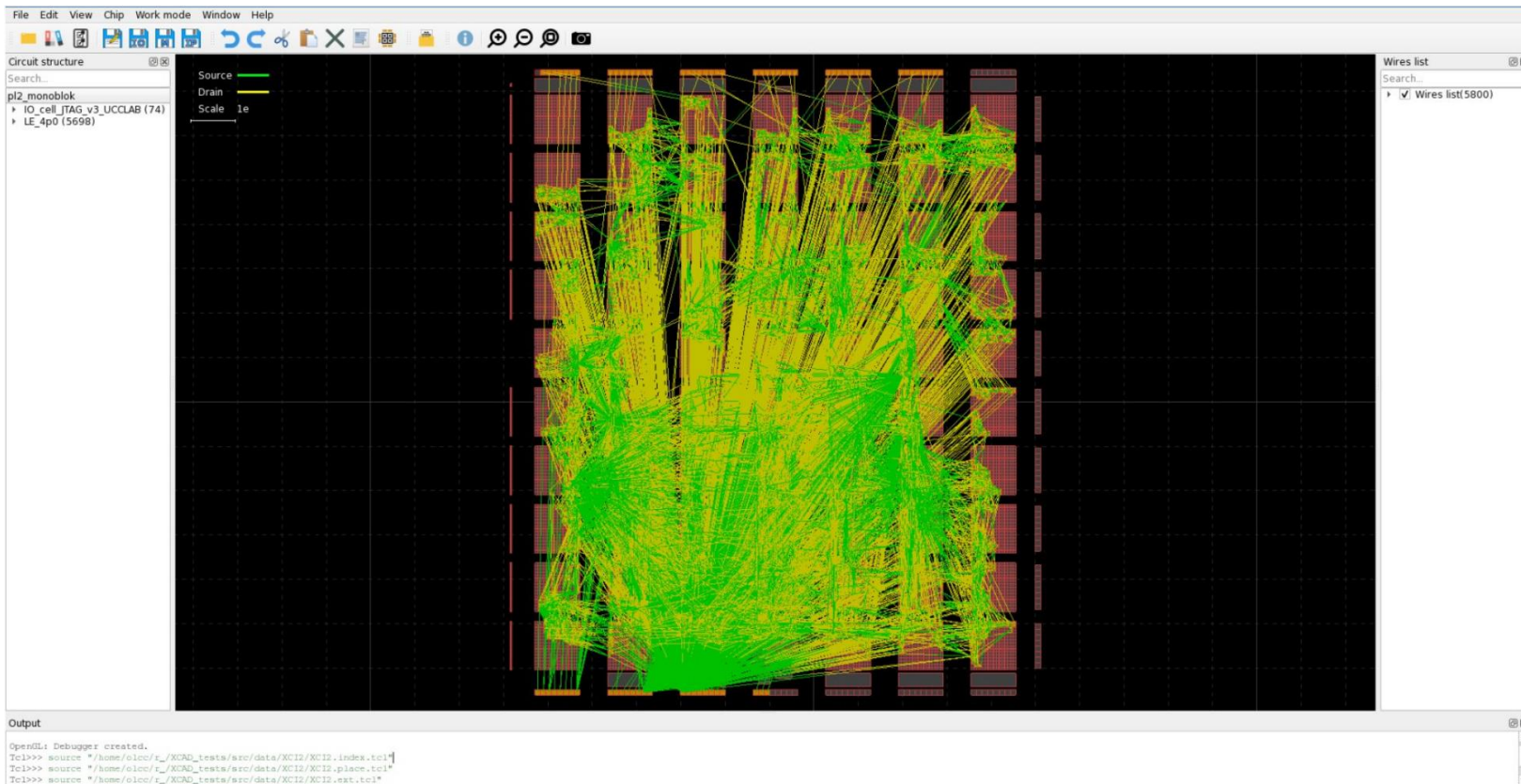
Особенности SURELOG:

1. Поддержка SystemVerilog-2017,
2. Тестирование на открытых процессорных ядрах,
3. Интеграция в Yosys (плагин)



Главный экран САПР X-CAD

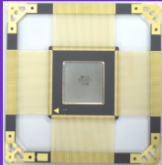

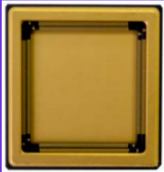
Графический интерфейс X-PLACE (X-CAD)*



Поддерживаемые ПЛИС в X-CAD*

Характеристики	5510XC3AT 	5510TC028 	5510TC068 (в разработке) 
Тех. процесс	КМОП 90 (7 мет.)	КНИ 180	КНИ 90
Емкость, лог. элементов	3200 (4-LUT + DFF)	17920 (3 вх. конф. логика)	24 000 (4-LUT + DFF)
Внешних выводов, шт	188	190	326
Частота (тестовая), МГц	100	50	?
PLL, шт	—	2	2
LVDS, шт	—	2	36
RAM, кбит	—	99	512 + распределенная на ЛЭ
CPU	—	RISC-V (GPIO, APB, AXIS)	—
SerDes, шт	—	—	2
DSP, шт	—	—	64 (с умножителями 18x18)
Температурный диапазон	от -60°C до 85°C	от -60°C до 85°C	от -60°C до +125°C

Поддерживаемые ПЛИС в X-CAD*

Характеристики	5510XC3AT 	5510TC028 	5510TC068 (в разработке) 
Напряжение питания ядра, В	1,2 ± 10%	1,8 ± 10%	1,2 ± 10%
Напряжение питания периферии, В	2,3 ÷ 3,5	3,3 ± 10%	3,3 ± 10%
Напряжение питания конфигурационной памяти, В	1,2 ± 5%	?	?
Допустимое значение э/с потенциала, В	1000	1000	—
Корпус	240-выводной МК 4245.240-6	624-выводной МК 8304.624-1 (BGA)	624-выводной МК 8304.624-1
Масса, г	21	10,5	—
Особенности	—	ПЗУ OTP на базе antifuse ячеек	Регистры DDR в IO; режимы IO - CMOS, TTL

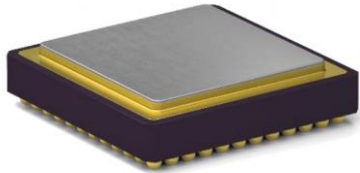
Delta Design Simtera IC — САПР для проектирования и синтеза ИМС (ПЛИС, СБИС, СнК), предлагающая следующий функционал:

- работа с базой данных компонентов для разработки в схемотехническом виде (УГО, HDL-модель);
- разработка принципиальных электрических схем;
- разработка функционального описания работы интегральной схемы на языках VHDL, Verilog, SystemVerilog, Verilog-AMS;
- проведение и отображение результатов верификации и поведенческого моделирования;
- проведение и отображение результатов «поведенческого синтеза» и «логического синтеза»;
- экспорт результатов проектирования в сторонние САПР проектирования ИМС.

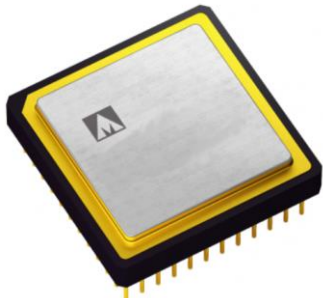
Функционирует на ОС семействах Windows/Linux

1. Собственные инструменты синтеза,
2. Доступен как технологически зависимый (поддерживаются Liberty-библиотеки), так и технологически НЕзависимый синтез,
3. Собственный синтезатор позволяет проводить разработку под любые ПЛИС при наличии технологических библиотек дизайн-центров. Пример взаимодействия Эремекс и Миландр — поддержка ПЛИС М3 в Simtera IC,
4. Выигрыш по площади кристалла относительно Yosys — 5% (синтетика). Это значение увеличивается!
- 5. Мы открыты для взаимодействия по поддержке их ПЛИС/БМК со всеми дизайн-центрами!**

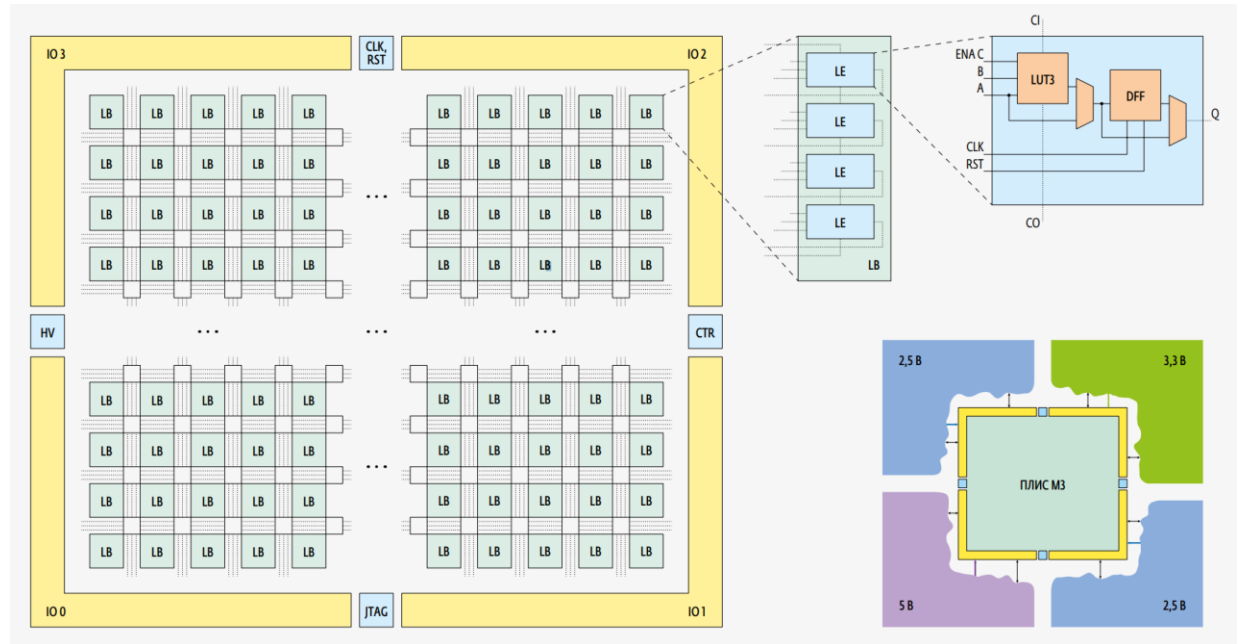
Поддержка полного цикла проектирования для ПЛИС МЗ (Миландр)



МК 8307.144



МК 6109.144



Характеристики	ПЛИС М3
Кол-во программируемых логических элементов, шт	2432
Кол-во пользовательских выводов, шт	98
Диапазон напряжения питания ядра логических элементов, В	1,62-1,98
Тех.процесс, мкм	КНИ 0,18
Тактовая частота, МГц	Не менее 100 (по сдвиговому регистру)
Температурный диапазон, °С	-60...125
Тип корпуса	МК 6109.144-А (PGA) МК 8307.144-АН3 (LGA)

	Simtera	Simtera IC	Simtera IC Pro (планируется)
Разработка HDL-описания	+	+	+
Логическая верификация	+	+	+
Синтез		+	+
Проектирование топологии			+

```
uart_test/uart_test.v x
1 module uart_test(
2   input      sys_clk,           //External 50M clock
3   input      sys_rst_n,        //External reset signal, active low
4   input      uart_rxd,         //UART receiving port
5   output     uart_txd          //UART transmission port
6 );
7
8 //wire define
9 wire      uart_en_w;           //UART transmission enable
10 wire [7:0] uart_data_w;       //UART sends data
11
12 uart_recv u_uart_recv(
13   .sys_clk      (sys_clk),
14   .sys_rst_n    (sys_rst_n),
15
16   .uart_rxd     (uart_rxd),
17   .uart_done    (uart_en_w),
18   .uart_data    (uart_data_w)
19 );
20
21 uart_send u_uart_send(
22   .sys_clk      (sys_clk),
23   .sys_rst_n    (sys_rst_n),
24
25   .uart_en      (uart_en_w),
26   .uart_din     (uart_data_w),
27   .uart_txd     (uart_txd)
28 );
29
30 endmodule
```

Verilog-код верхнего модуля проекта

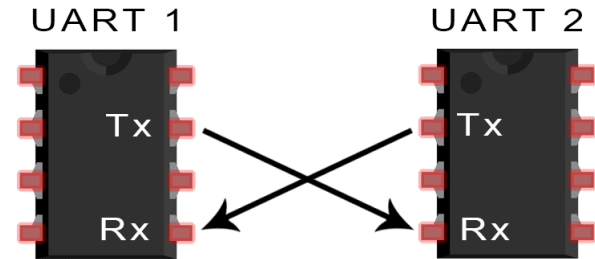
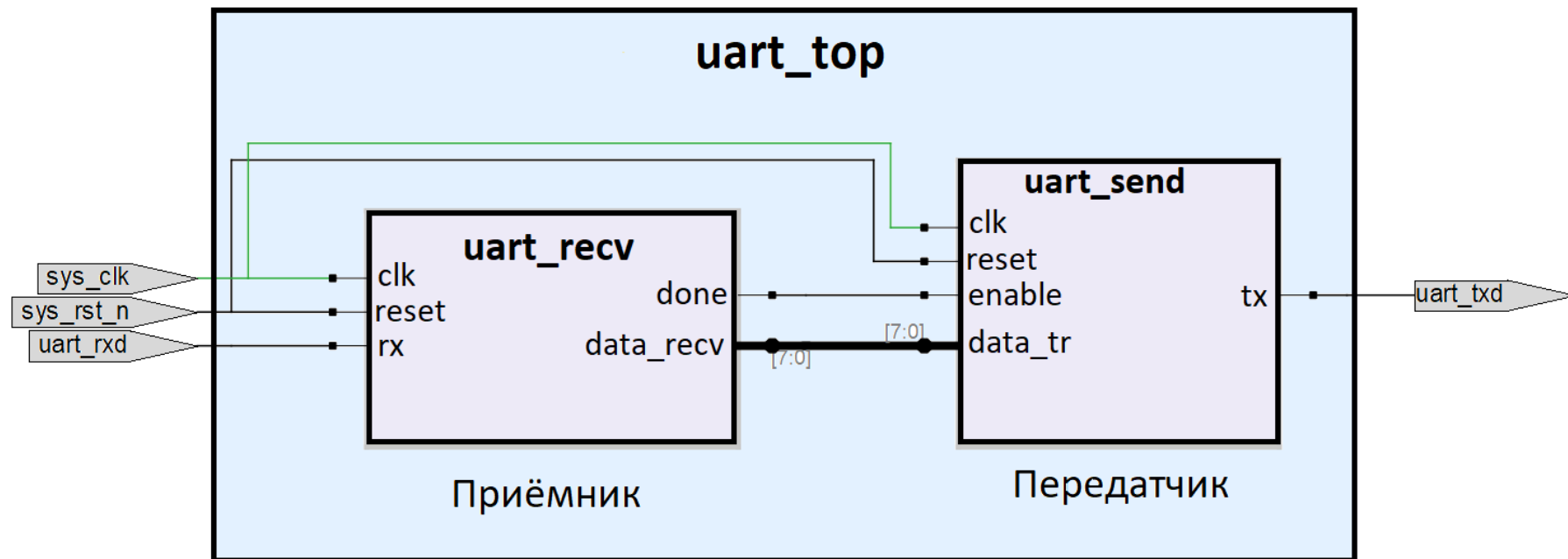
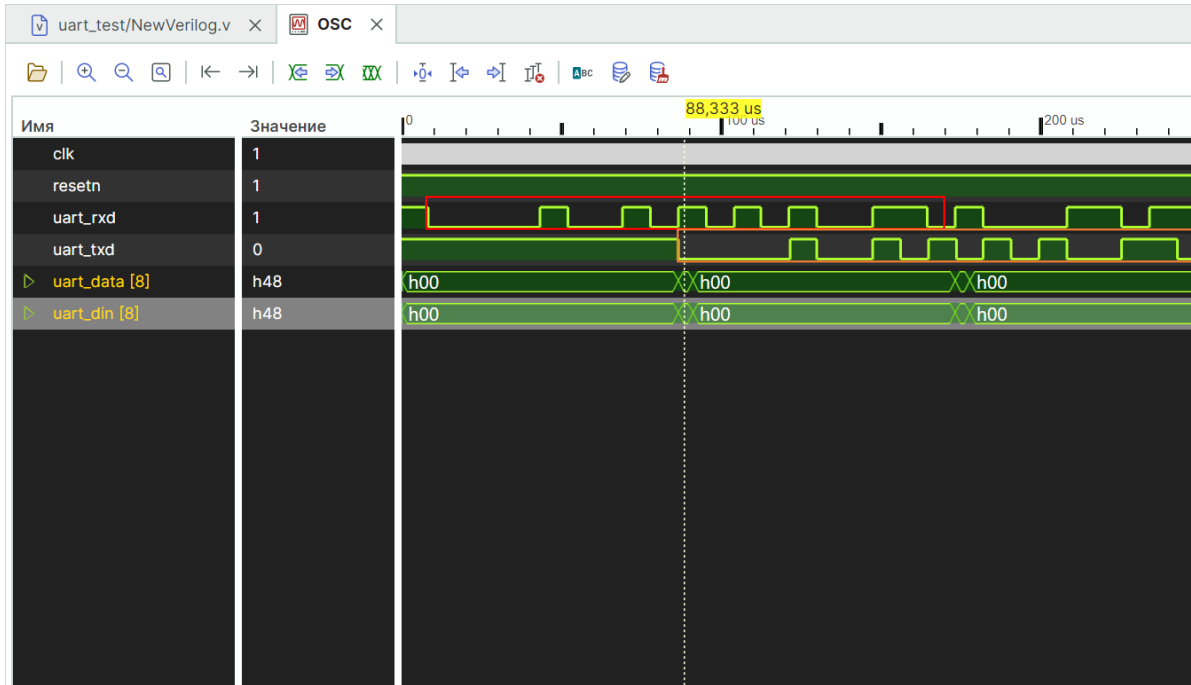


Схема подключения двух устройств





Структура модулей для интерфейса UART



Осциллограф в Simtera

The 'Журналы' window displays the following simulation output:

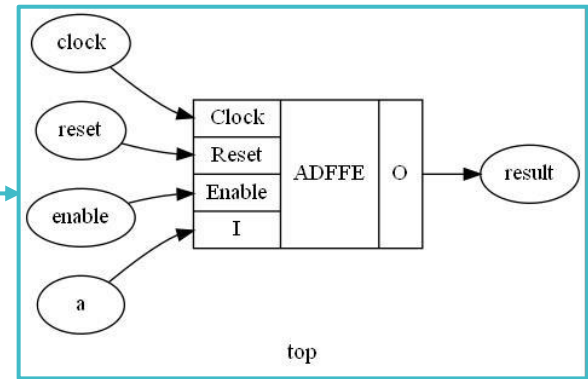
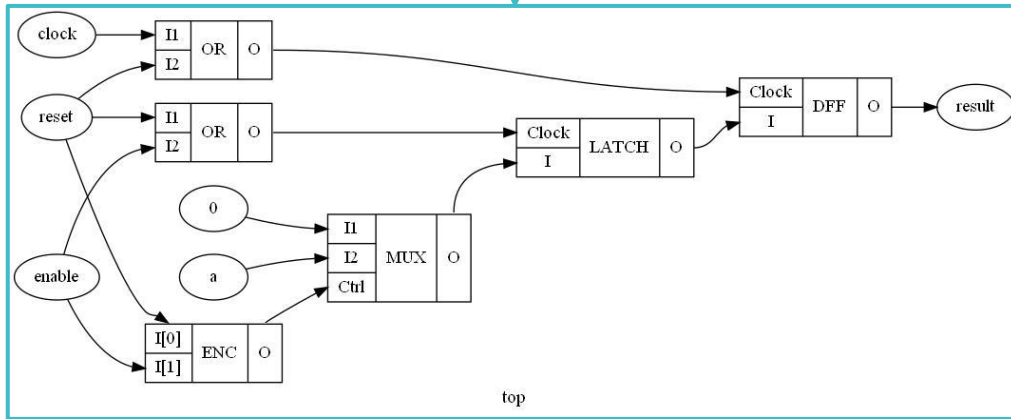
```
Генерация файла Waveform 002.nc
*ИНФО* Запуск симуляции
Симуляция...
rx: 1 at time 0
tx: 1 at time 0
Sending byte: 48, 01001000 at time 40
rx: 0 at time 8720
rx: 1 at time 43440
rx: 0 at time 52120
rx: 1 at time 69480
rx: 0 at time 78160
Sending byte: 65, 01100101 at time 86840
rx: 1 at time 86840
tx: 0 at time 86950
rx: 0 at time 95520
rx: 1 at time 104200
rx: 0 at time 112880
rx: 1 at time 121560
tx: 1 at time 121670
rx: 0 at time 130240
tx: 0 at time 130350
rx: 1 at time 147600
tx: 1 at time 147710
tx: 0 at time 156390
rx: 0 at time 164960
tx: 1 at time 165070
Sending byte: 6c, 01101100 at time 173640
rx: 1 at time 173640
tx: 0 at time 173750
rx: 0 at time 182320
tx: 1 at time 182430
tx: 0 at time 191110
tx: 1 at time 199790
rx: 1 at time 208360
tx: 0 at time 208470
rx: 0 at time 225720
tx: 1 at time 225830
rx: 1 at time 234400
tx: 0 at time 243190
rx: 0 at time 251760
```

Основные этапы синтезатора в Delta Design Simtera IC

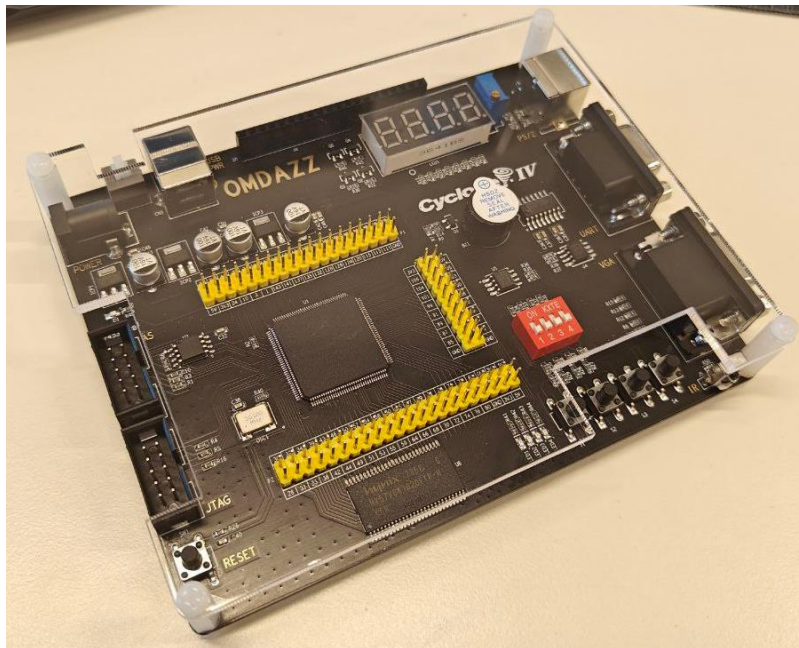
- Оптимизация на поведенческом уровне

```

module top(input a, input clock, reset, enable, output reg result);
  always @(posedge clock, posedge reset)
    if(reset) result <= 0;
    else if(enable) result <= a;
endmodule
    
```



Отладочная плата



Altera (Intel) Cyclone IV EP4CE10E22C8N



Программатор USB Blaster



Адаптер USB на COM-порт RS-232

Проектирование топологии. Quartus Prime

- Создание проекта в Quartus;
- Добавление файла netlist сгенерированного Delta Design Simtera IC;
- Добавление пинов для входных и выходных сигналов модуля;
- Программирование ПЛИС

	Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✔ Ok		in sys_rst_n	Location	PIN_25	Yes			
2	✔ Ok		in uart_rxd	Location	PIN_115	Yes			
3	✔ Ok		out uart_txd	Location	PIN_114	Yes			
4	✔ Ok		in sys_clk	Location	PIN_23	Yes			

Hardware Setup... USB-Blaster [USB-0] Mode: JTAG Progress: 100% (Successful)

Enable real-time ISP to allow background programming when available

File	Device	Checksum	Usercode	Program on figure	Verify	Blank check	Examine	Security Bit	Erase	ISP LAMI
output_files/sl...	EP4CE6E22	00092...	00092...	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Синтезатор	Количество элементов для проекта <i>uart_test</i>
Delta Design Simtera IC	162
Synplify Pro	91
Intel Quartus Prime	117
Yosys	121

Графический интерфейс Delta Design Simtera IC

The screenshot displays the Delta Design Simtera IC software interface, which is used for designing and simulating integrated circuits. The interface is divided into several main sections:

- Left Panel (Project Explorer):** Shows the project structure, including files like 'alu74181.v' and 'NewVerilog.v', and various design tools like 'Butterworth Filter (AMS)' and 'Oscilloscope'.
- Center Panel (Schematic):** Displays a detailed circuit schematic for the ALU74181 IC, showing various logic gates (AND, OR, NOT, XOR) and flip-flops (DFF) interconnected to perform arithmetic operations.
- Right Panel (Oscilloscope):** Shows a multi-channel oscilloscope view with waveforms for various signals. The channels are labeled 'Fluxin(1)', 'Voltage(1)', 'Fluxin(2)', 'Voltage(2)', 'Fluxin(3)', 'Voltage(3)', 'Fluxin(4)', 'Voltage(4)', 'Fluxin(5)', 'Voltage(5)', 'Fluxin(6)', 'Voltage(6)', 'Fluxin(7)', 'Voltage(7)', 'Fluxin(8)', 'Voltage(8)', 'Fluxin(9)', 'Voltage(9)', 'Fluxin(10)', 'Voltage(10)', 'Fluxin(11)', 'Voltage(11)', 'Fluxin(12)', 'Voltage(12)', 'Fluxin(13)', 'Voltage(13)', 'Fluxin(14)', 'Voltage(14)', 'Fluxin(15)', 'Voltage(15)', 'Fluxin(16)', 'Voltage(16)', 'Fluxin(17)', 'Voltage(17)', 'Fluxin(18)', 'Voltage(18)', 'Fluxin(19)', 'Voltage(19)', 'Fluxin(20)', 'Voltage(20)'. The waveforms show digital signals and analog-like signals.
- Bottom Panel (Code Editor):** Shows the Verilog code for the ALU74181 IC. The code includes module declarations, signal assignments, and logic for performing operations like addition and subtraction. The code is as follows:

```
1713: Copyright (c) 2002-2022 University of Genoa, Italy
1714: Web site: http://www.electronicdesign.com
1715:
1716:
1717: Limescale Tns / tps
1718:
1719: module ROM256x16B4_C202(
1720: input CS, AB0, AB1, AB2, AB3, AB4, AB5, AB6, AB7,
1721: output DB0, DB1, DB2, DB3, DB4, DB5, DB6, DB7, DB8, DB9, D10, D11, D12, D13, D14,
1722: D15
1723: );
1724:
1725: wire [7:0] A;
1726: reg [15:8] D;
1727:
1728: reg [15:8] ROM_Cells [0:255];
1729:
1730: initial begin
1731: $readmemh("ROM256x16B4_C202_INIT.txt", ROM_Cells);
1732: end
1733:
1734: assign A = { AB7, AB6, AB5, AB4, AB3, AB2, AB1, AB0 };
1735: always @(CS, A) begin
1736: if (CS) begin
1737: D <= ROM_Cells[A];
1738: end
1739: else begin
1740: D <= 16'h00;
1741: end
1742: end
1743:
1744: assign (D15, D14, D13, D12, D11, D10, DB9, DB8, DB7, DB6, DB5, DB4, DB3, DB2, DB1,
1745: DB0) = D;
1746:
1747: endmodule
1748:
1749: Limescale Tns / tps
1750:
1751: module ROM4x8TristB5_C010(
1752: input CS, OE, AB0, AB1, AB2, AB3, AB4, AB5, AB6, AB7, AB8, AB9, A10, A11,
1753: output DB0, DB1, DB2, DB3, DB4, DB5, DB6, DB7
1754: );
1755:
1756: // type ROM_Cells to array [0:4095] of reg [7:0];
1757: wire [11:0] A;
1758: reg [7:0] D;
1759: integer I;
1760:
1761: reg [7:0] ROM_Cells [0:4095];
1762:
1763: initial begin
1764: $readmemh("ROM4x8TristB5_C010_INIT.txt", ROM_Cells);
1765: end
1766:
1767: assign A = { A11, A10, AB9, AB8, AB7, AB6, AB5, AB4, AB3, AB2, AB1, AB0 };
1768:
1769: always @(CS, A) begin
1770: if (CS) begin
1771: D <= ROM_Cells[A];
```
- Bottom Panel (Error Log):** Shows a list of errors and warnings. The errors are related to missing connections for ports D09, D10, D11, D12, and D13. The error messages are: 'Предупреждение 129: Отсутствует подключение для порта D09', 'Предупреждение 129: Отсутствует подключение для порта D10', 'Предупреждение 129: Отсутствует подключение для порта D11', 'Предупреждение 129: Отсутствует подключение для порта D12', 'Предупреждение 129: Отсутствует подключение для порта D13'.

Облачные тренды

Инженерия для ЦОД

Миграция на Postgres Pro

Искусственный интеллект

Генеративный ИИ

Коммуникации для бизнеса

Импортозамещение

Безопасность

ИТ в госсекторе

ИТ в банках

ИТ в торговле

Цифровизация

Телеком

Интернет

ИТ-бизнес

Рейтинги

27 сентября 2024 11:37 | 3027 | ПОДЕЛИТЬСЯ

В России разработали план развития отечественных САПР для проектирования чипов

Минпромторг разработал «дорожную карту» по развитию систем автоматизированного проектирования электроники и микроэлектроники до 2030 г. К этому сроку планируется продать 2,6 тыс. единиц отечественных САПР на 7,2 млрд руб.

«Дорожная карта» развития САПР

Директор департамента цифровых технологий Минпромторга **Владимир Дождев** представил «дорожную карту» по развитию российских систем автоматизированного проектирования электроники и микроэлектроники (САПР) до 2030 г. В документе указано, что к 2030 г. планируется продать 2,6 тыс. единиц ПО, пишет «Коммерсант». Совокупная выручка от реализации 12 поднаправлений САПР должна достичь 7,2 млрд руб., из них 3,6 млрд руб. выручка за программы для разработки микросхем.

САПР используются для проектирования процессоров, печатных плат, микросхем. После 2030 г. в них планируется применять искусственный интеллект. В 2030 г. должна начаться разработка отечественного софта для проектирования микросхем по топологии 28 нм.

Сейчас российские дизайн-центры в основном используют софт от американских Synopsys и Cadence. Они присоединились к антироссийским санкциям, прекратили продажи и техподдержку.

Рынок микроэлектроники

26.09.2024, 19:35



10K



3 мин.



Софт уменьшает нанометры

К 2030 году в России начнут разработку программы для проектировки процессоров 28 нм

Минпромторг представил «дорожную карту» развития систем автоматизированного проектирования (САПР) микроэлектроники до 2030 года. К 2030 году планируется создать 100 подобных программ, в том числе для создания микросхем 28 нм, на которых работают в том числе смартфоны. Участники рынка отмечают, что для создания отдельных САПР необходим физический доступ к фабрике, которой пока нет в РФ. Однако эксперты подчеркивают, что к 2030 году вопрос с производством чипов топологии 28 нм должен быть уже решен.

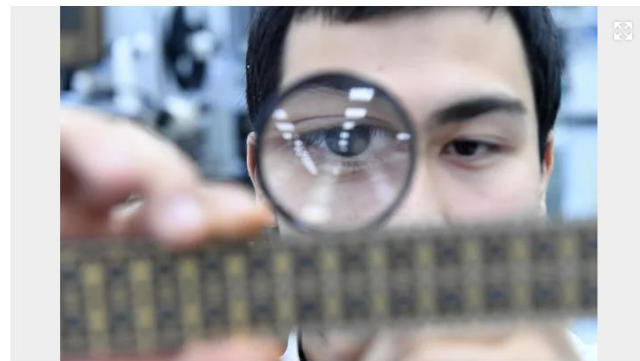
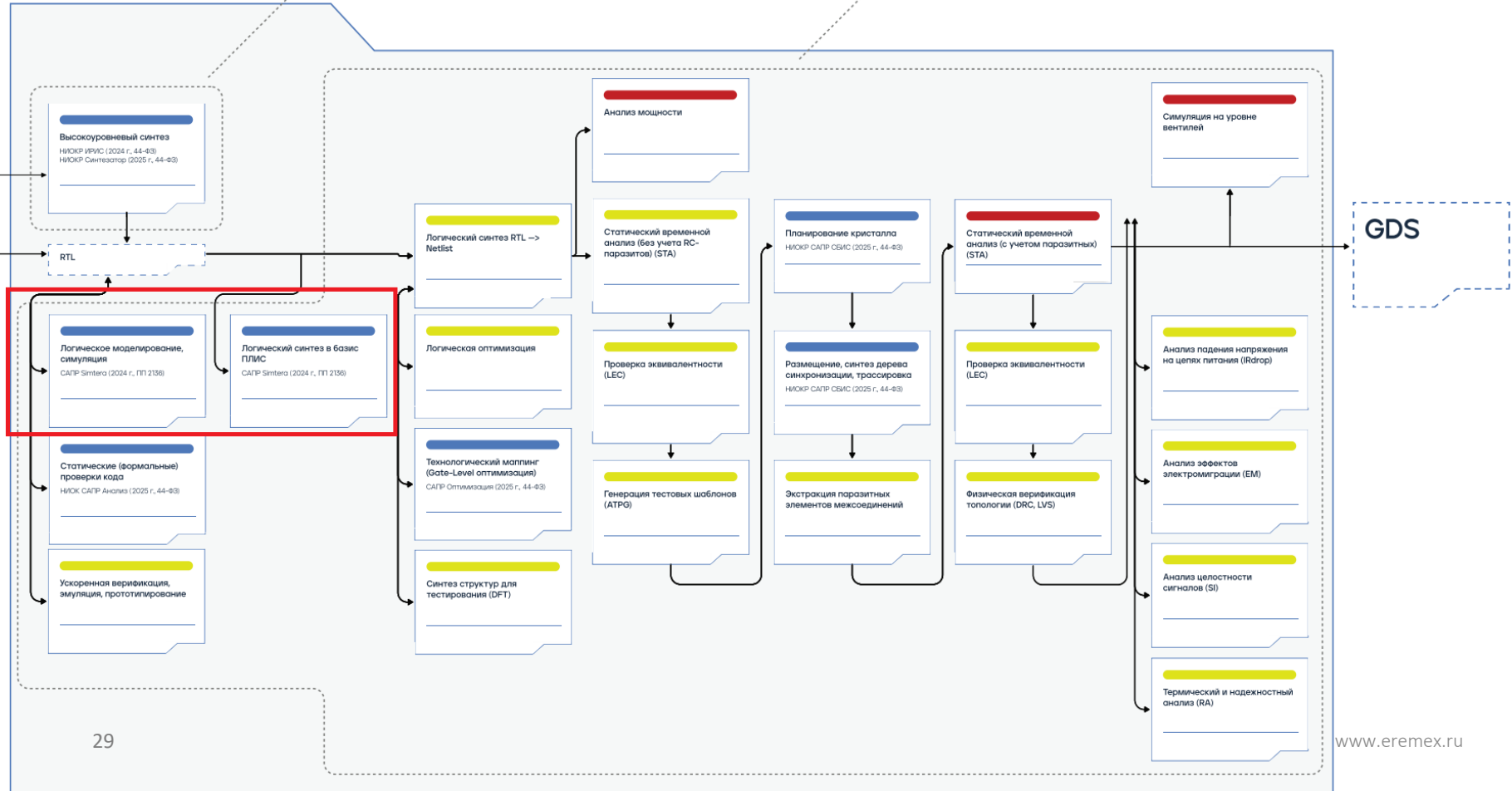


Фото: Анатолий Жданов, Коммерсантъ

На конференции «Микроэлектроника 2024» 26 сентября директор департамента цифровых технологий Минпромторга Владимир Дождев представил «дорожную карту» по развитию российских САПР электроники и микроэлектроники (программы используются для проектирования процессоров, печатных плат, микросхем) до 2030 года. Из нее следует, что к 2030 году планируется продать 2,6 тыс. единиц ПО, а после 2030 года в САПР планируется применять искусственный интеллект.



Модуль логического моделирования и функциональной верификации

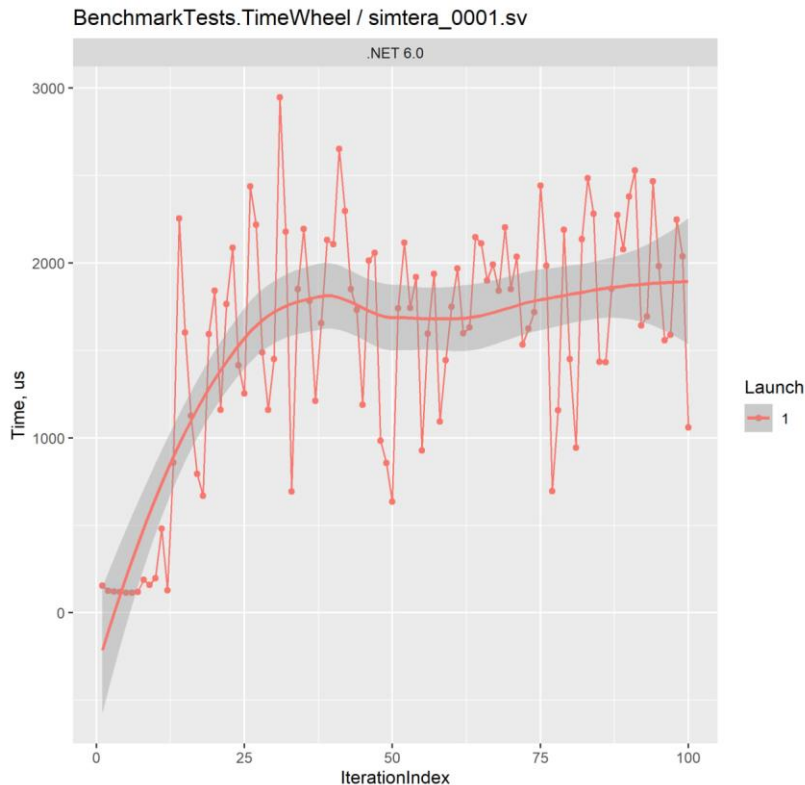


- Возможность проведения логического моделирования и функциональной верификации иерархического Verilog-описания,
- Возможность моделирования Verilog-описания на поведенческом уровне (RTL) и на уровне логических вентилях, в т.ч. с учетом SDF,
- Возможность аннотации задержек в формате SDF или из библиотек временных параметров в формате Liberty,
- Графическое представление результатов моделирования,
- Возможность работы в многопроцессорном режиме,
- Скорость работы логического симулятора, сопоставимая с аналогами (не менее 80% от скорости) на одном процессорном ядре,
- Поддержка методологии UVM,
- Проверка полноты кодового покрытия при проведении функциональной верификации
 - По строкам кода (Code Coverage),
 - По блокам (Block Coverage),
 - По переключениям (Toggle Coverage),
 - По выражениям (Expression Coverage),
 - По ветвлениям (Branch Coverage),
 - По состояниям и переходам в конечном автомате (FSM Coverage)

- Ручное и автоматизированное тестирование программного обеспечения,
- Поддержка бесконечно расширяемого API,
- Повышение производительности системы

```
Delta Design Simtera
>xvlib simtera
HDL-проект simtera был успешно загружен.
simtera>vadd -work simtera C:\Projects\deltadesign\Tests\DeltaDesign.Functional.Simtera.Simulation.Tests\Tests\succeeded\synthesis\netlist\behavioral\gate
s_unsigned\test.sv
simtera>vadd -work simtera C:\Projects\deltadesign\Tests\DeltaDesign.Functional.Simtera.Simulation.Tests\Tests\succeeded\synthesis\netlist\behavioral\gate
s_unsigned\testbench.sv
simtera>vsim simtera.top
Start building project simtera
Compilation of project simtera ended successfully
00000000 00000000 00000000 00111111 00111111 00111111
00000000 00001111 00001111 00111111 00110000 00110000
00000000 00011111 00011111 00111111 00100000 00100000
00000000 00111111 00111111 00111111 00000000 00000000
00000000 00011111 00010000 00111111 00100000 00101111
00000000 00111111 00110000 00111111 00000000 00001111
00000000 00111111 00100000 00111111 00000000 00011111
00001111 00111111 00101111 00110000 00000000 00010000
00000000 00001010 00001010 00111111 00110101 00110101
00000000 00011111 00010101 00111111 00100000 00101010
00000000 00111111 00110101 00111111 00000000 00001010
00001010 00111111 00101010 00110101 00000000 00010101
00000000 00010101 00010101 00111111 00101010 00101010
00000000 00011111 00011010 00111111 00100000 00100101
00000000 00111111 00101010 00111111 00000000 00010101
00000101 00111111 00100101 00111010 00000000 00011010
00000000 00101010 00101010 00111111 00010101 00010101
00000000 00101111 00100101 00111111 00010000 00011010
00000000 00111111 00110101 00111111 00000000 00001010
00001010 00111111 00111010 00110101 00000000 00000101
00000000 00011101 00011100 00111111 00100010 00100011
00000001 00111111 00100011 00111110 00000000 00011100
00000000 00101110 00100110 00111111 00010001 00011001
00001000 00111111 00111001 00110111 00000000 00000110
00000000 00111010 00111000 00111111 00000101 00000111
00000010 00111111 00110111 00111101 00000000 00001000
00000010 00111110 00100110 00111101 00000001 00011001
simtera>
```

Запуск команд по работе с компилятором, симулятором и синтезом



BenchmarkDotNet v0.13.10

Оценка лимита производительности системы,

Поиск пути повышения производительности
текущей архитектуры,

Сравнительный анализ с подобными системами



Среднее время разбора, компиляции и симуляции проекта в сравнении:

Simtera - 695 мс

Modelsim Pro 2020 - 831 мс

Изыскания по поддержке многопоточности



t.me/simtera



Simtera Support

- Публикация новых патчей;
- Пользовательская поддержка



Спасибо за внимание!

www.eremex.ru