



БУДУЩЕЕ
В НАШИХ
РУКАХ

**Увеличиваем производительность,
искажая время:
Extended Useful Skew**



Алексей Мухаматнабеев

старший инженер отдела FPGA
прототипирования, YADRO

- 16 лет в сфере разработки электроники, 8 лет из которых работаю с FPGA. Последние 3 года — в команде FPGA YADRO.

База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

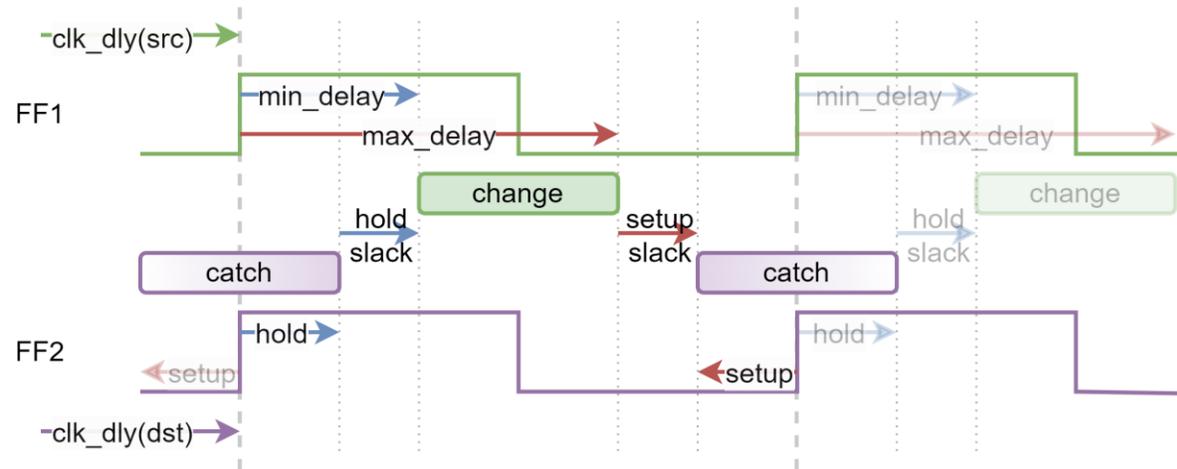
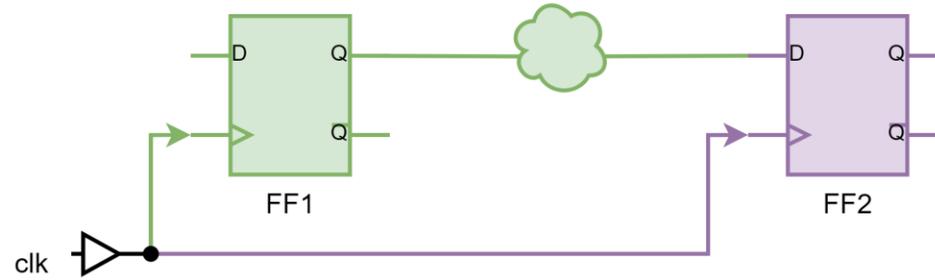
Контролируемое искажение тактового древа (Useful Skew)

Extended Useful Skew

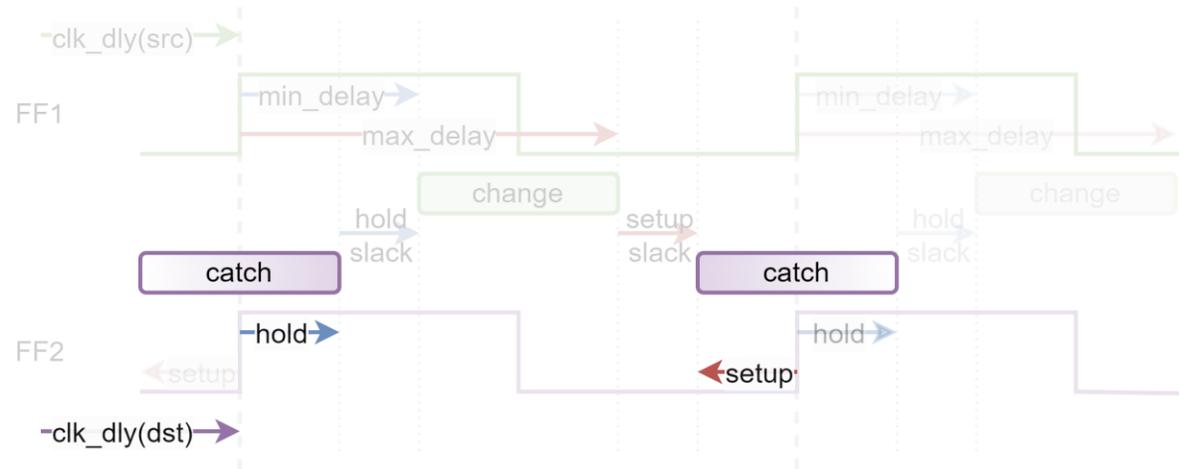
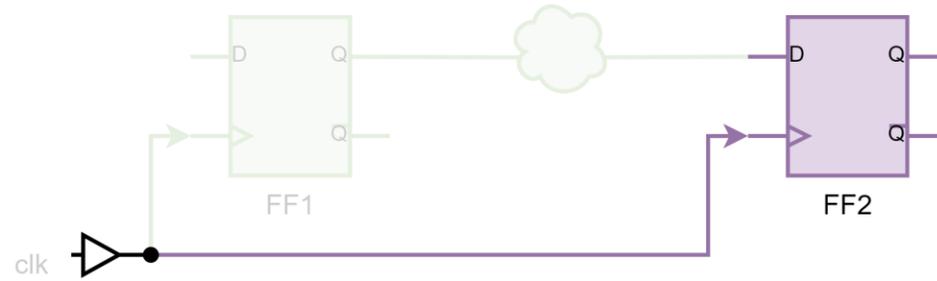
Ограничения метода

Пример применения

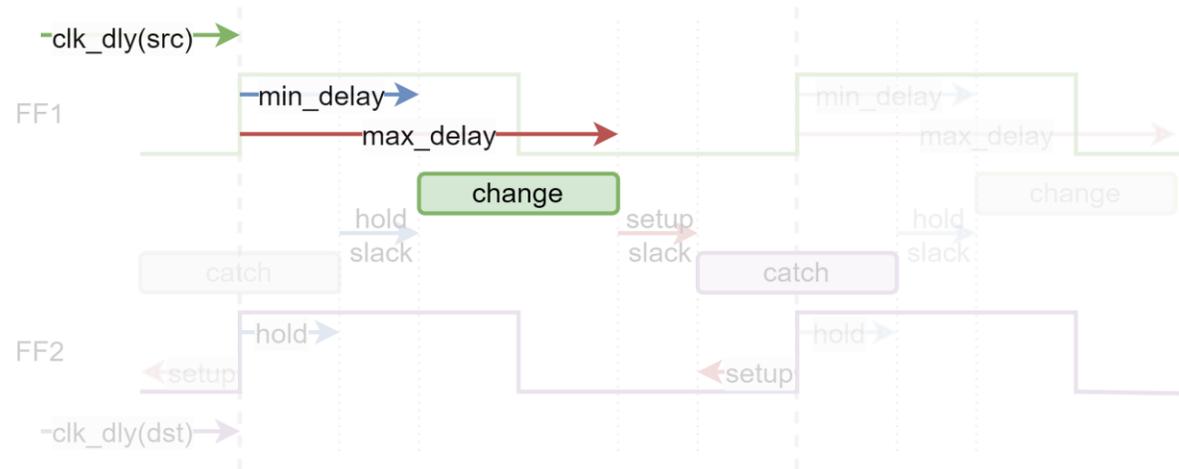
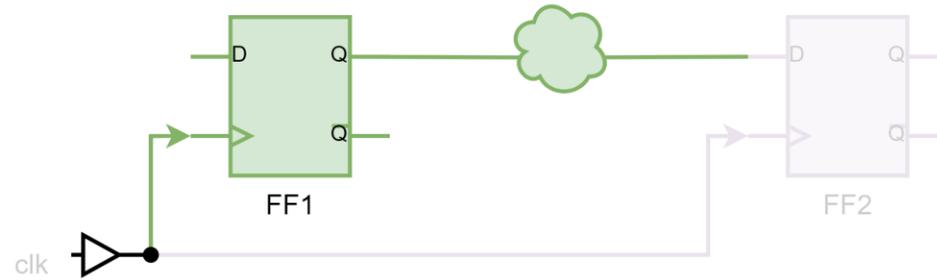
STA: Базовый треугольник



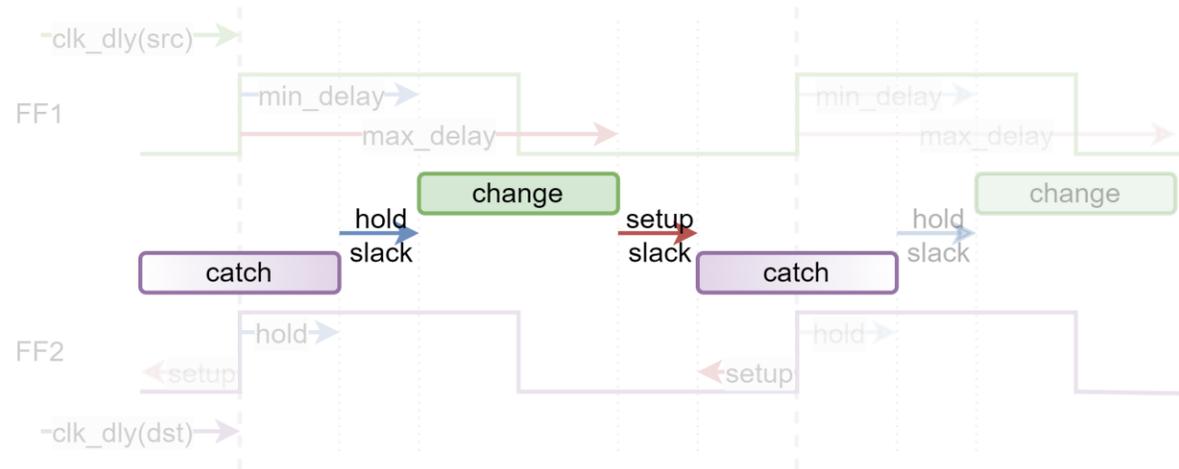
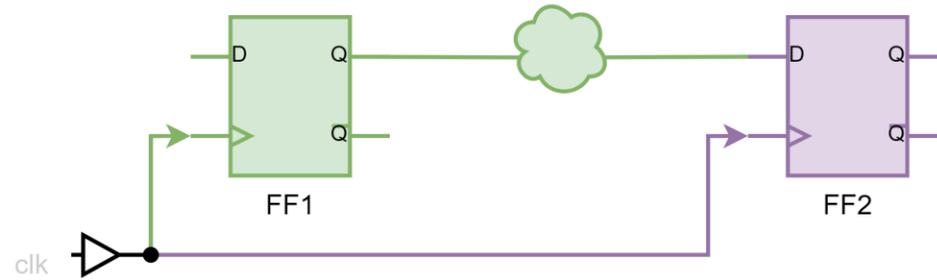
STA: Окно захвата



STA: Окно изменений

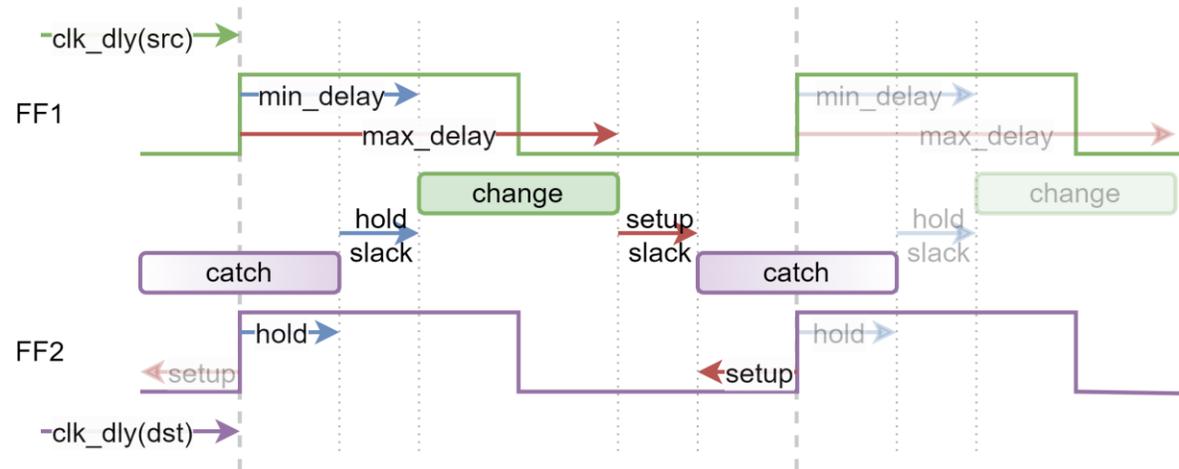
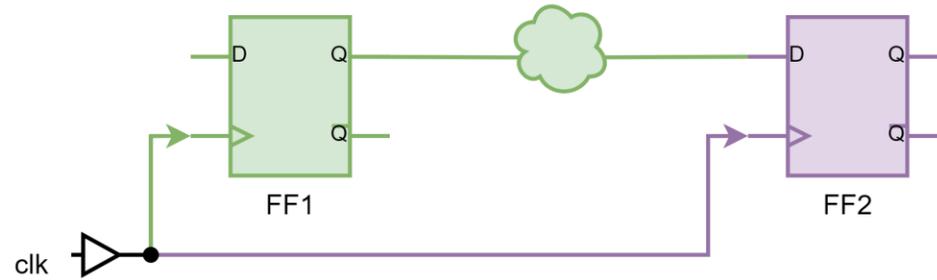


STA: Временной запас





STA: Основная цель



База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

Контролируемое искажение тактового древа (Useful Skew)

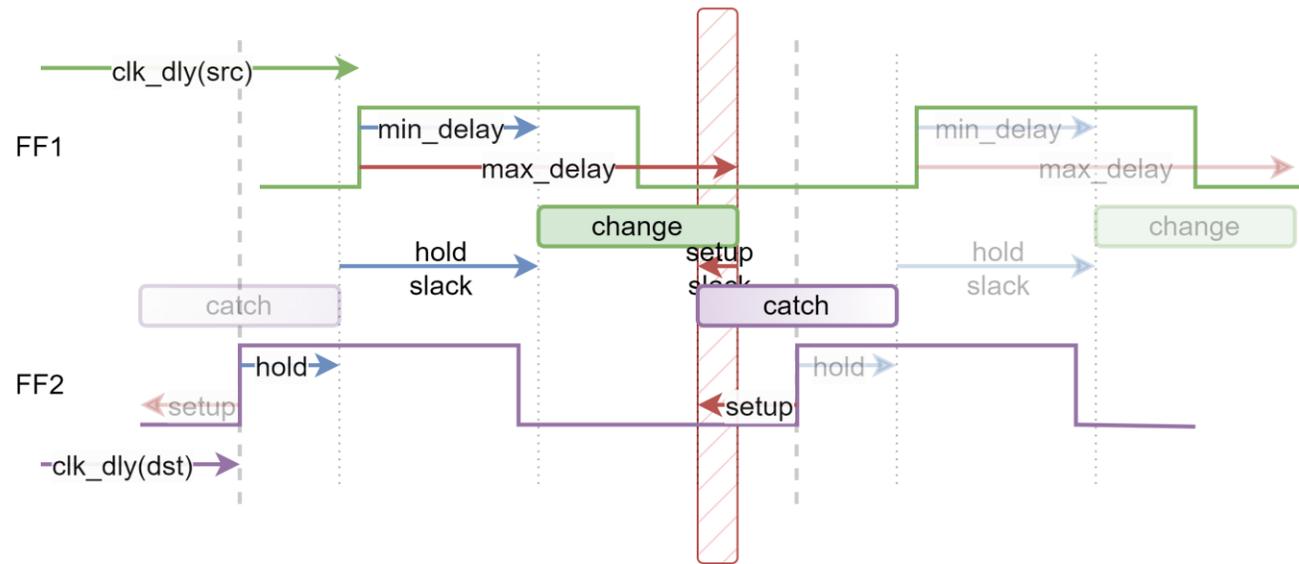
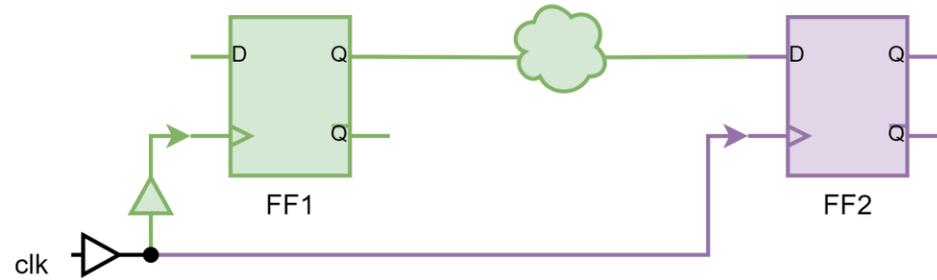
Extended Useful Skew

Ограничения метода

Пример применения

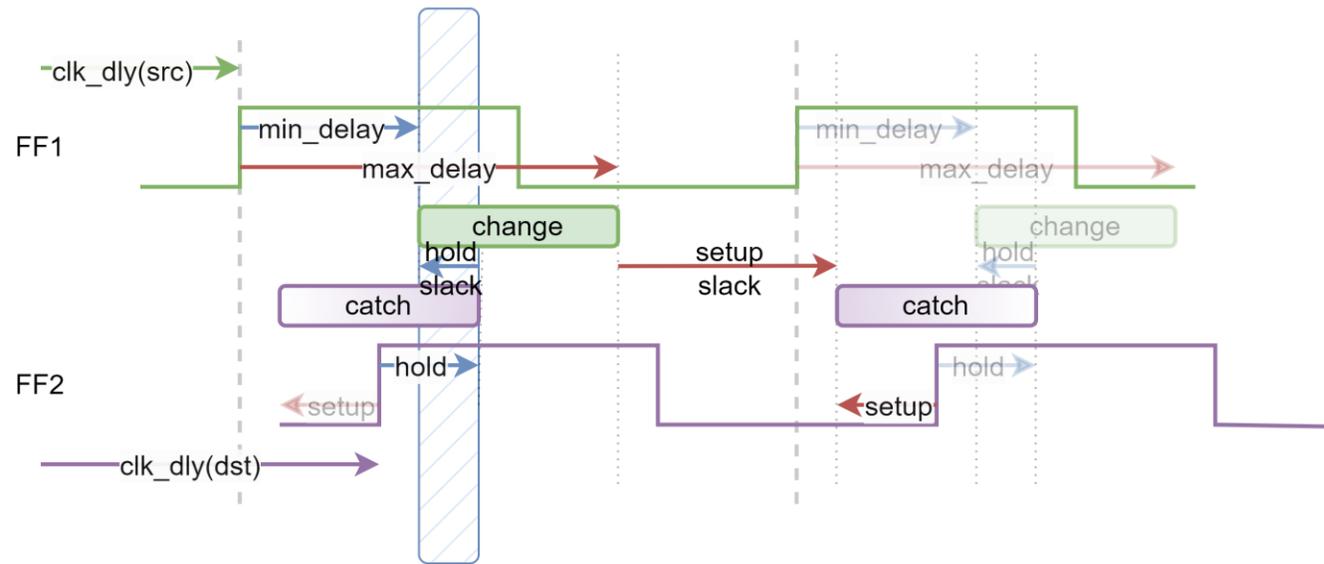
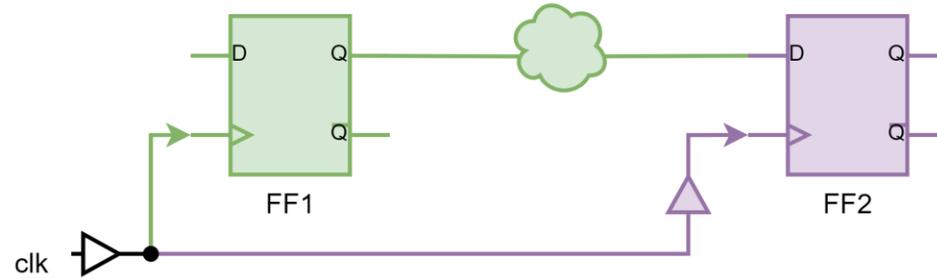


Отрицательный перекоп дерева тактирования



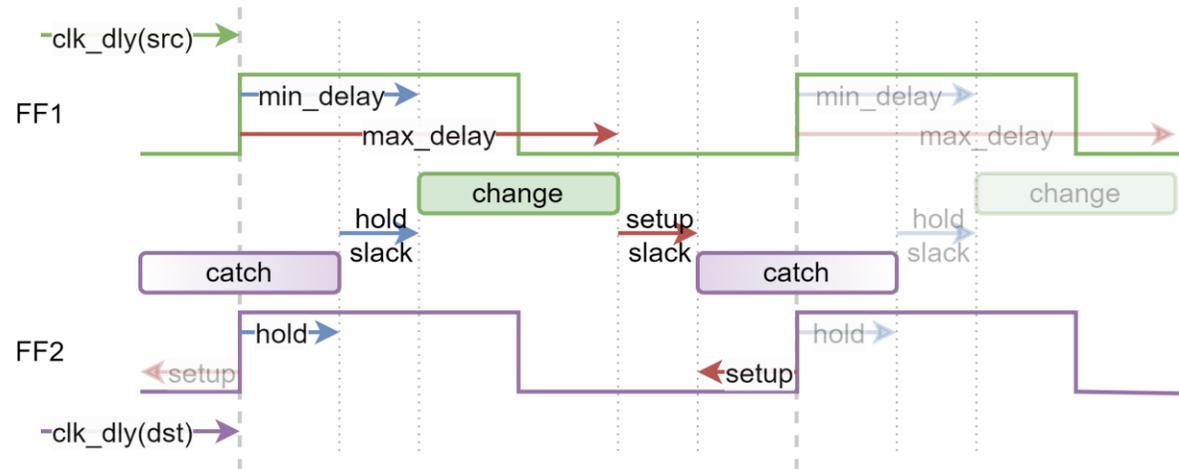
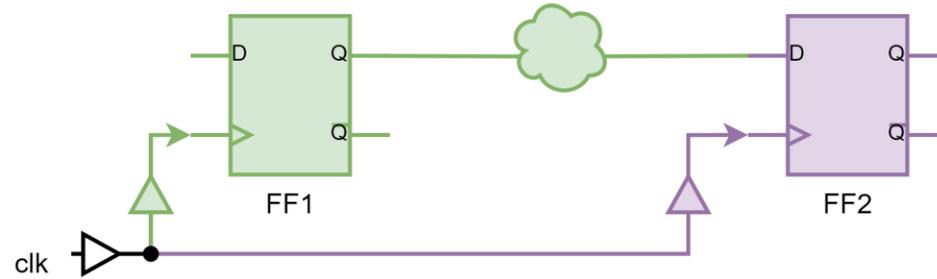


Положительный перекося дерева тактирования





Сбалансированное древо тактирования



База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

Контролируемое искажение тактового древа (Useful Skew)

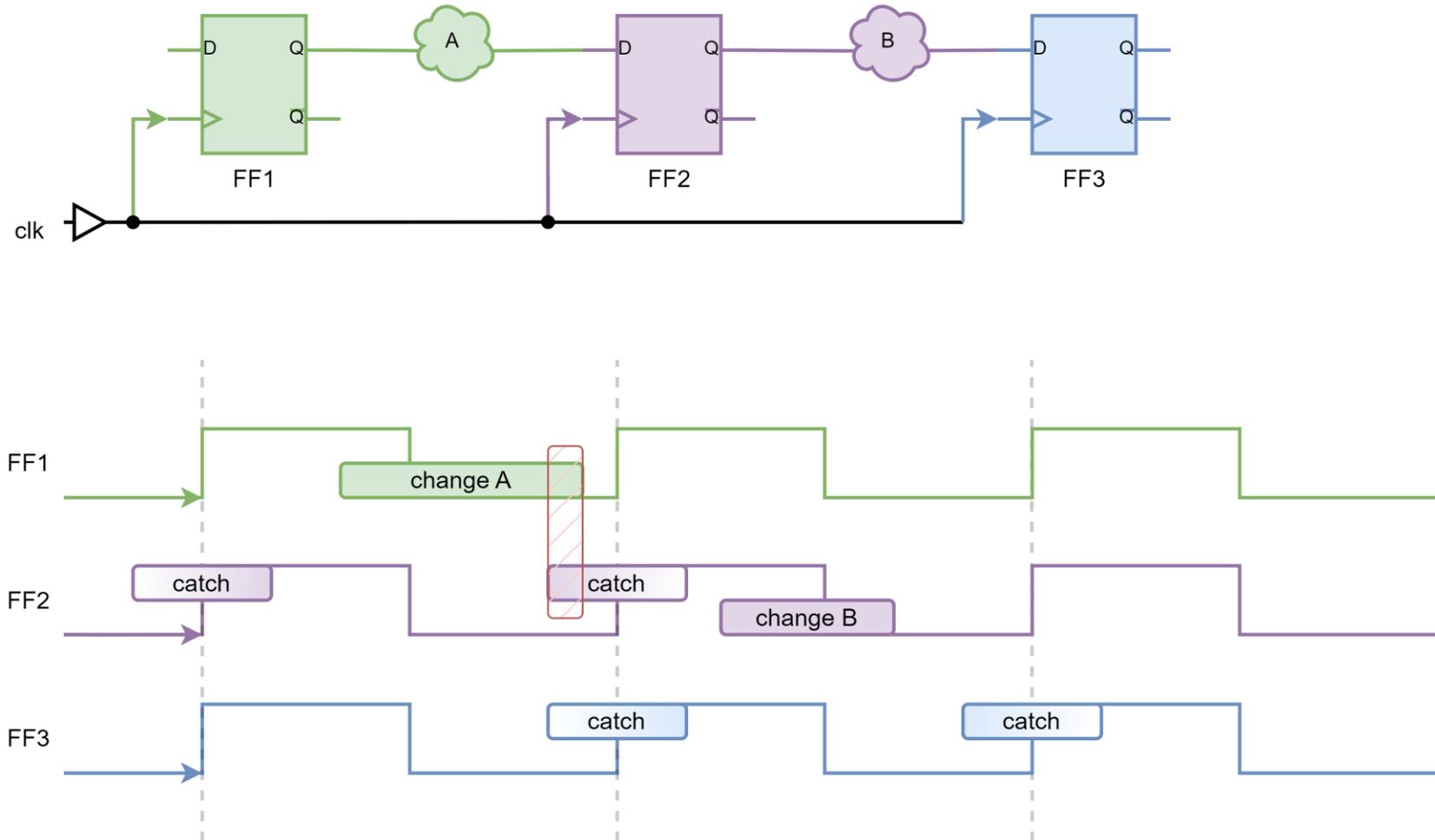
Extended Useful Skew

Ограничения метода

Пример применения

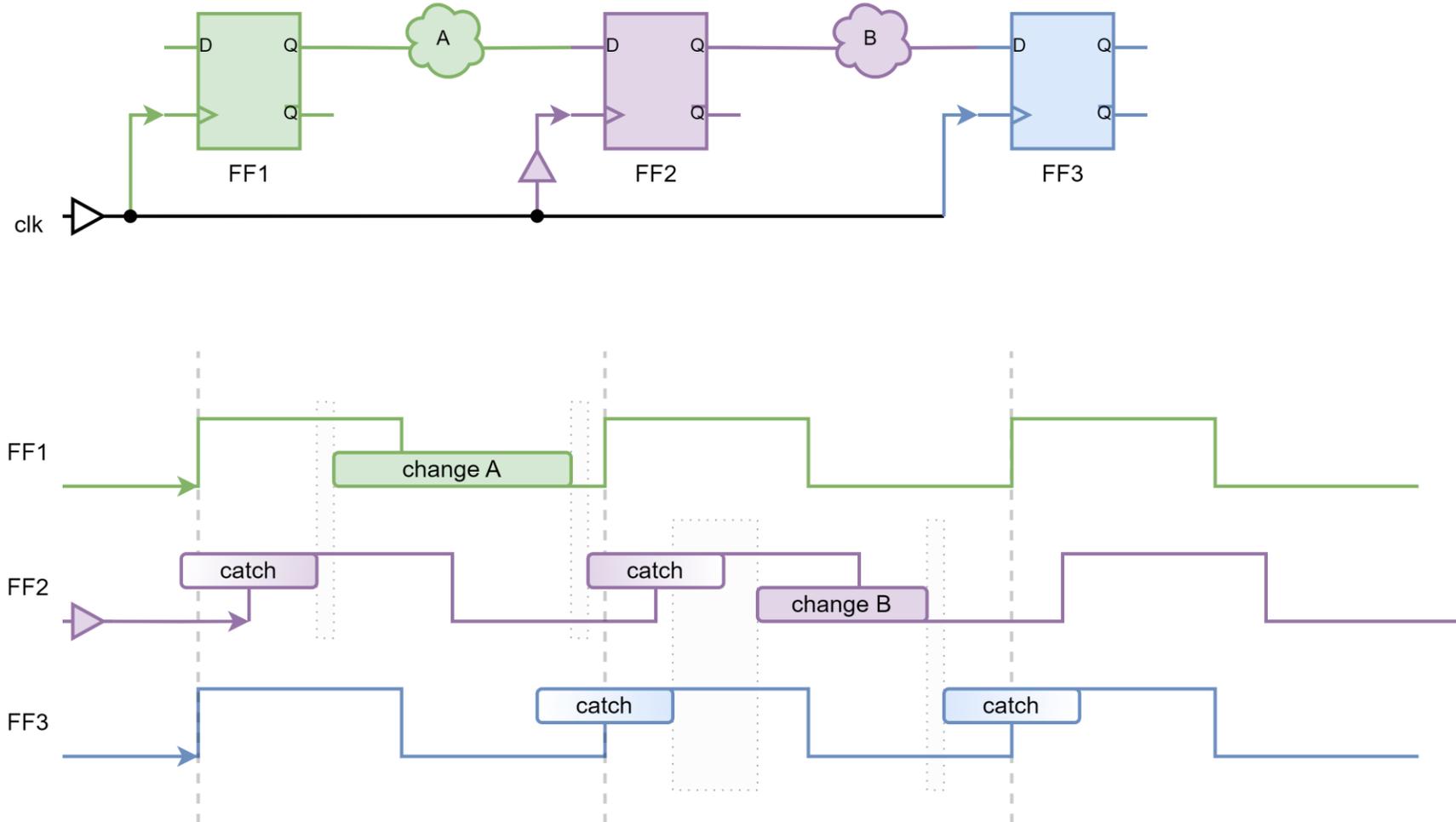


Контролируемый перекус тактового дерева: нарушение



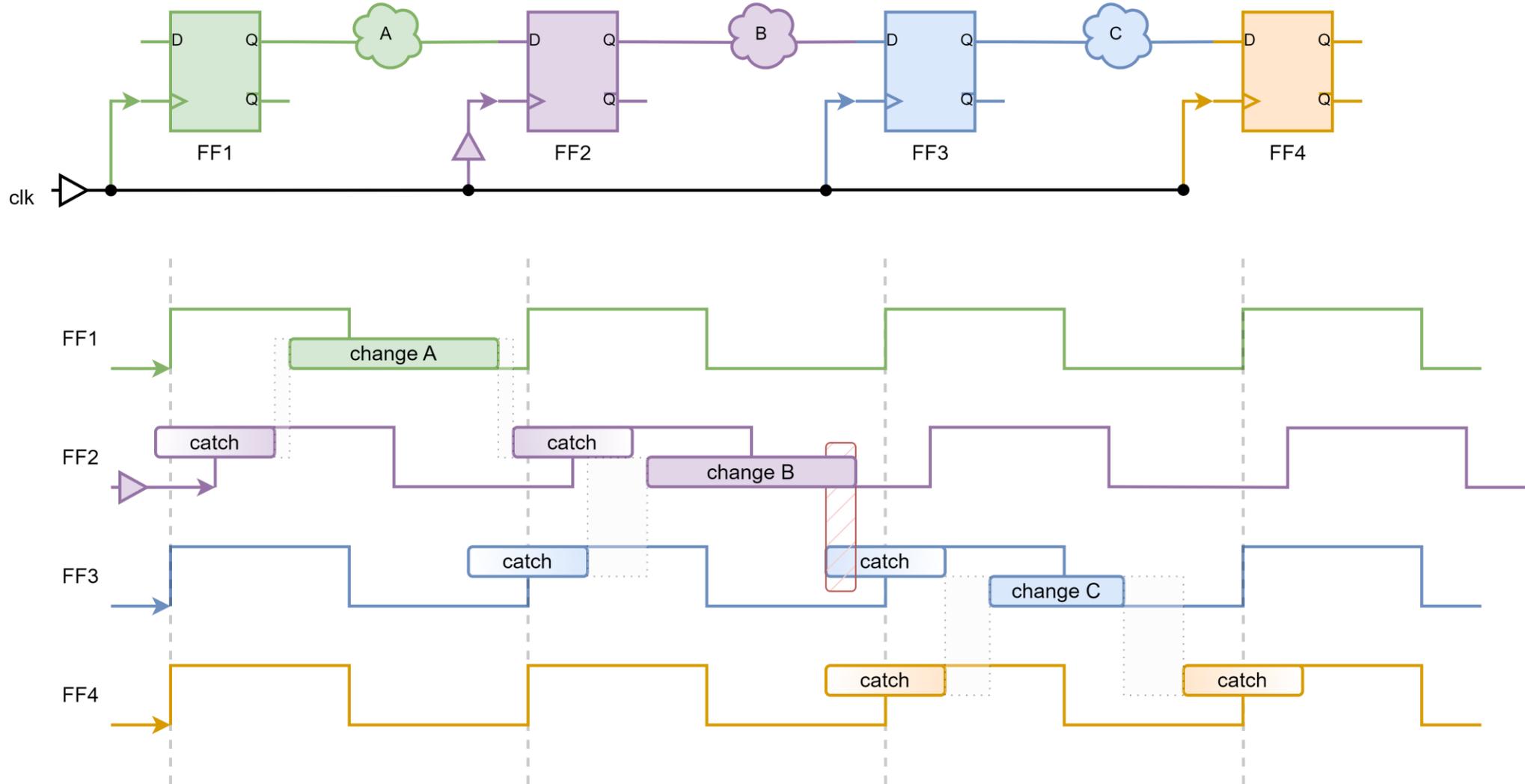


Контролируемый перекус тактового древа: решение



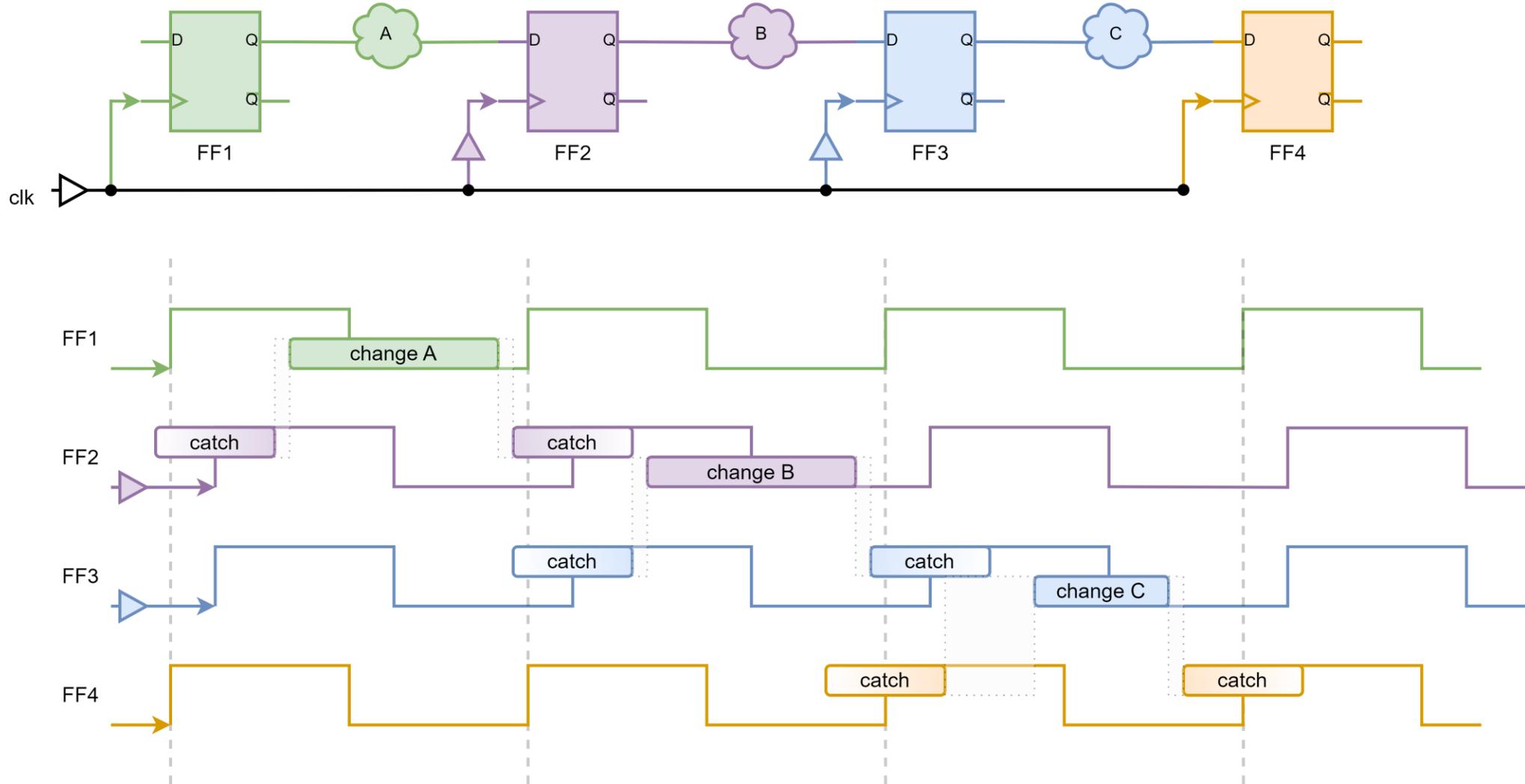


Контролируемый перекос тактового дерева: нарушение 2



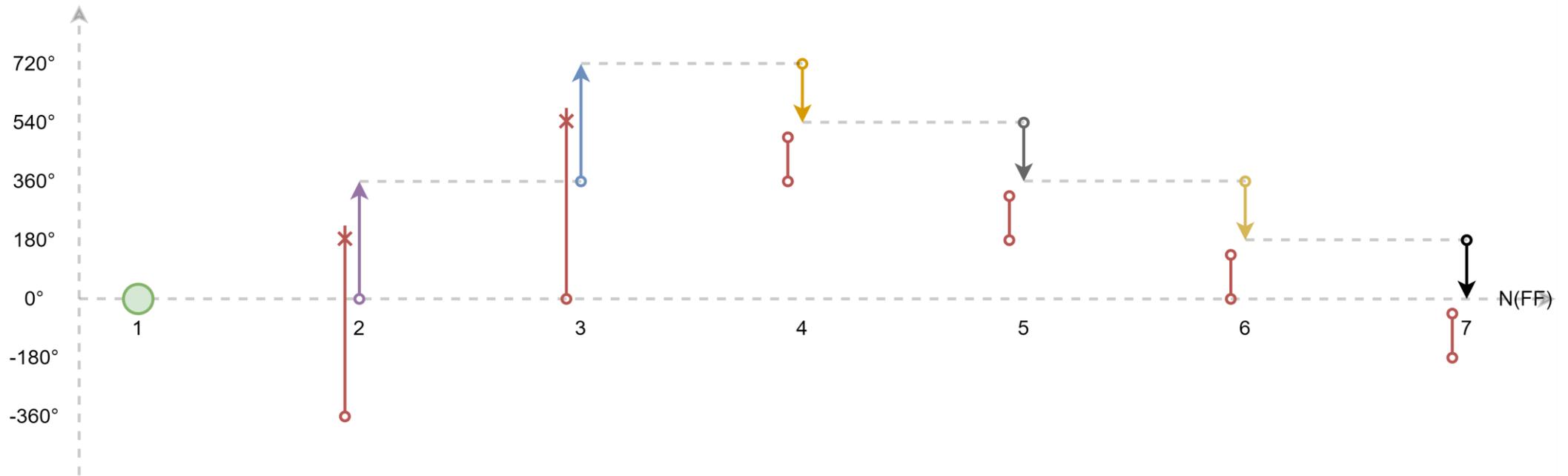
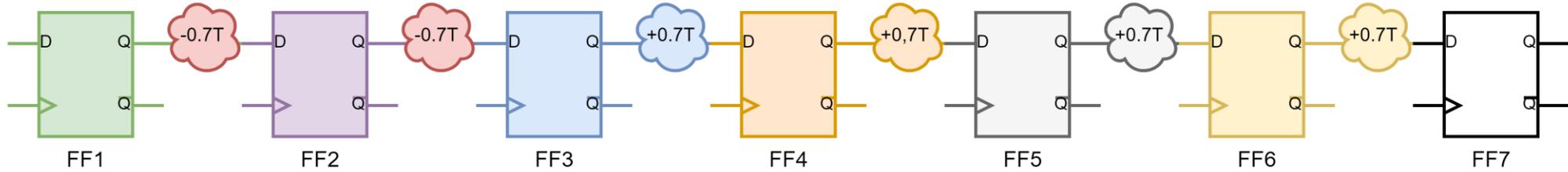


Контролируемый перекус тактового дерева: решение 2





Два нарушения подряд:

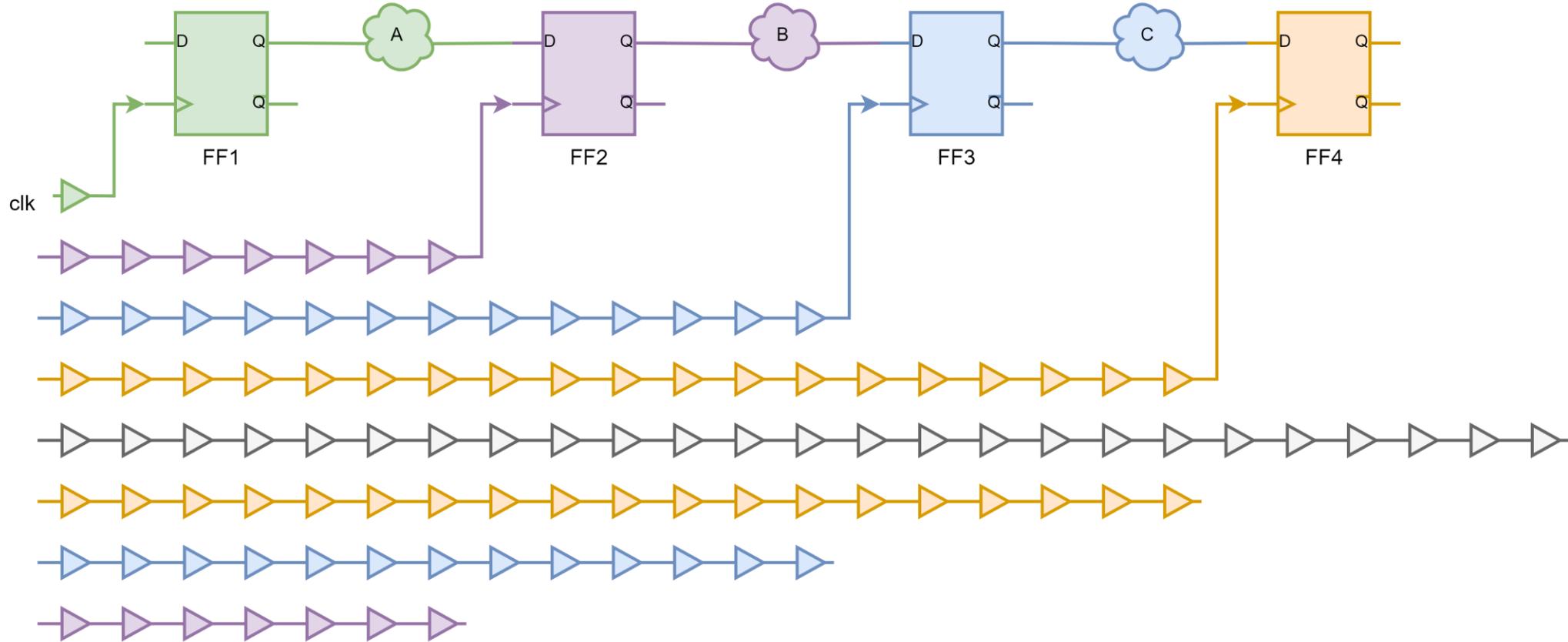


- Max delay of data path
- * Max delay of data path with violation

○—→ Shift clock



Useful skew: тактовое древо



База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

Контролируемое искажение тактового древа (Useful Skew)

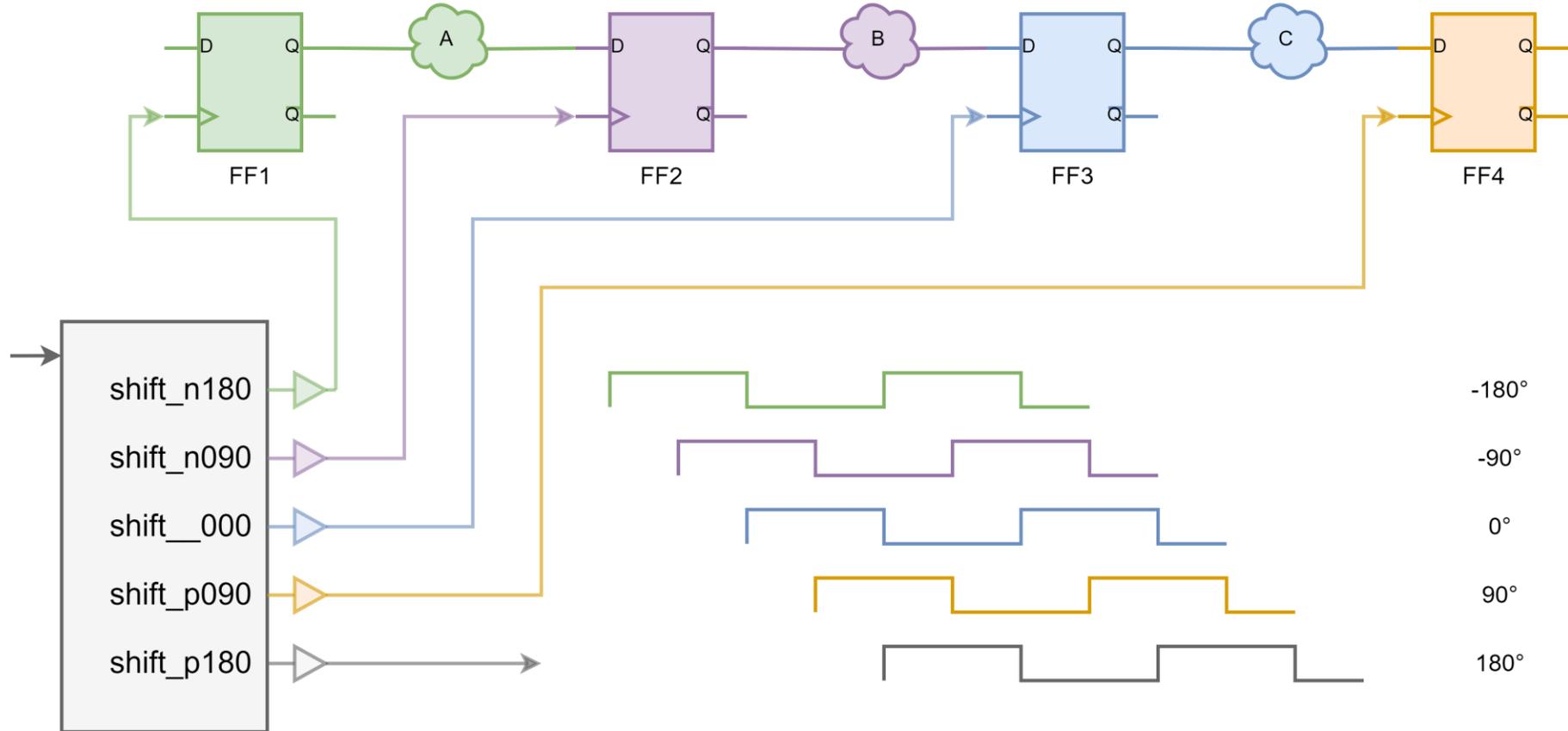
Extended Useful Skew

Ограничения метода

Пример применения

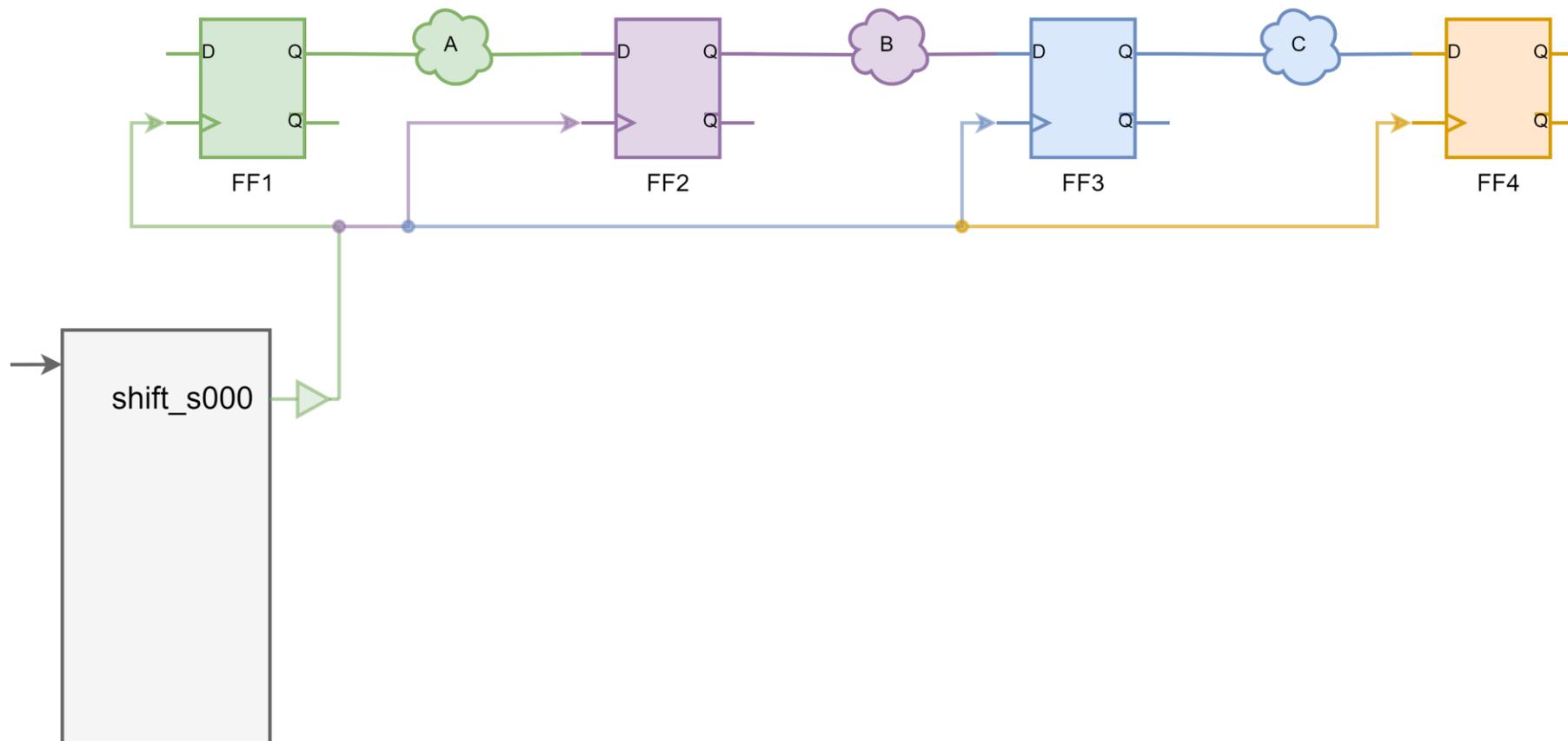


Extended Useful Skew: Clock Wizard



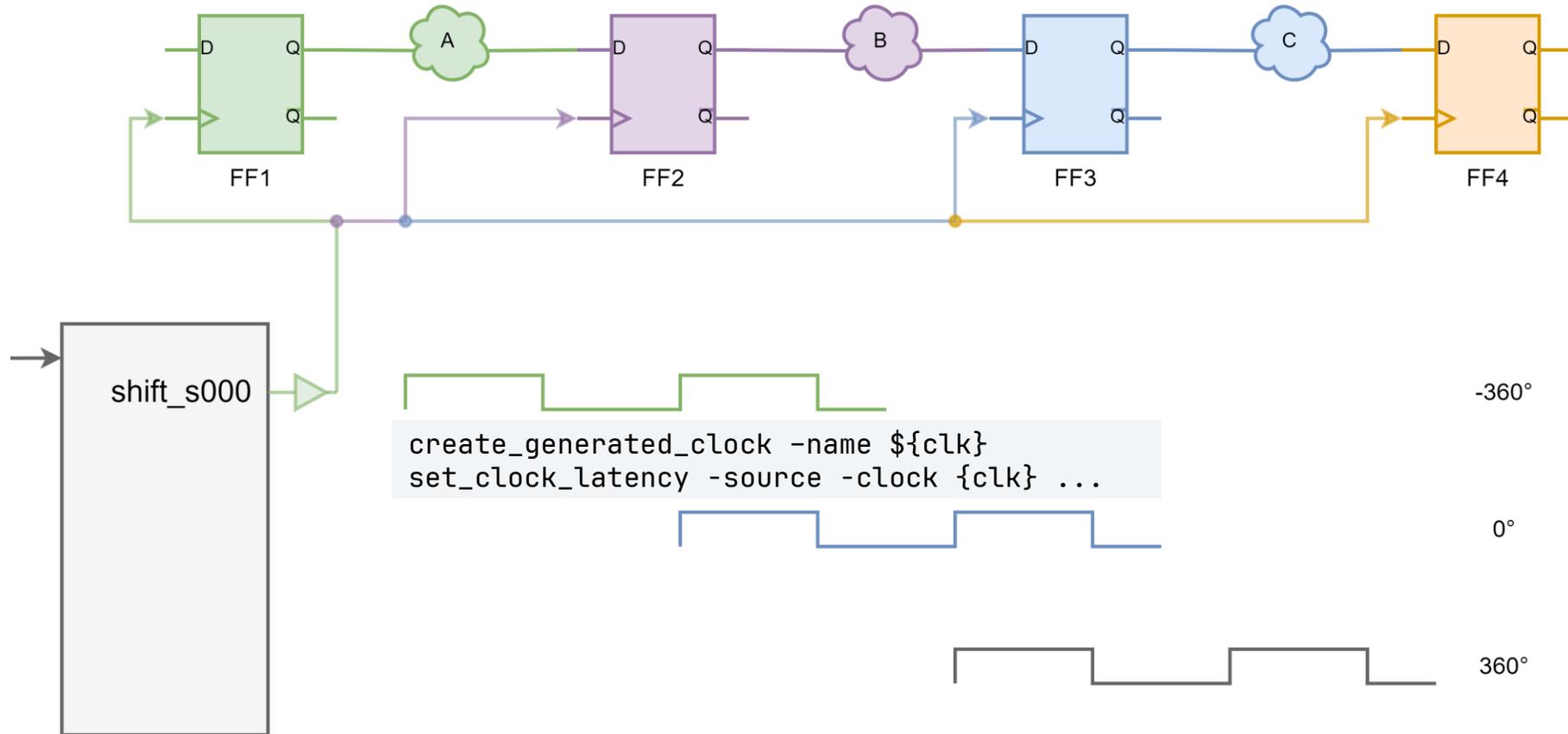


Extended Useful Skew: одна тактовая линия



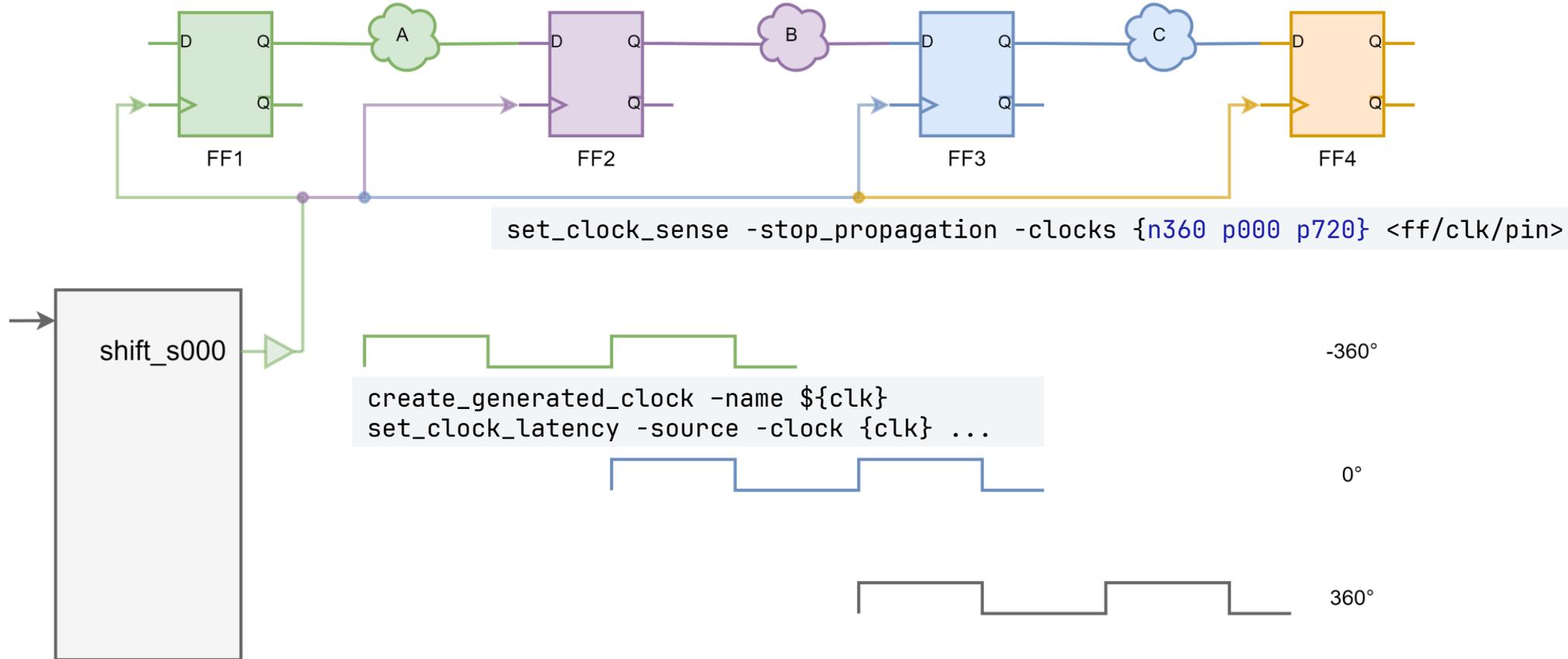


Extended Useful Skew: тактовое древо, шаг 360°



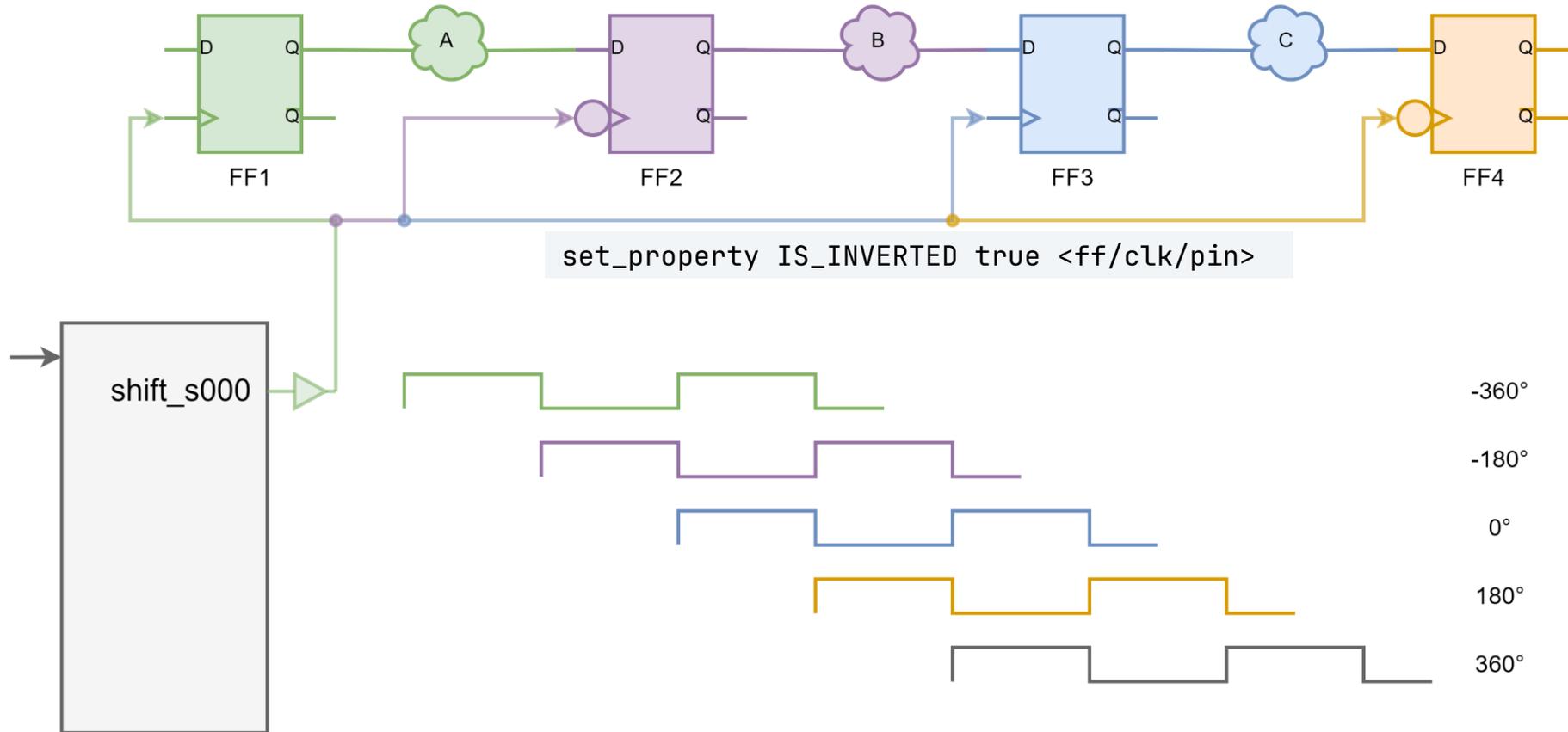


Extended Useful Skew: тактовое древо, шаг 360°





Extended Useful Skew: тактовое древо, шаг 180°





Extended Useful Skew: взаимоотношения клоков

set_clock_latency

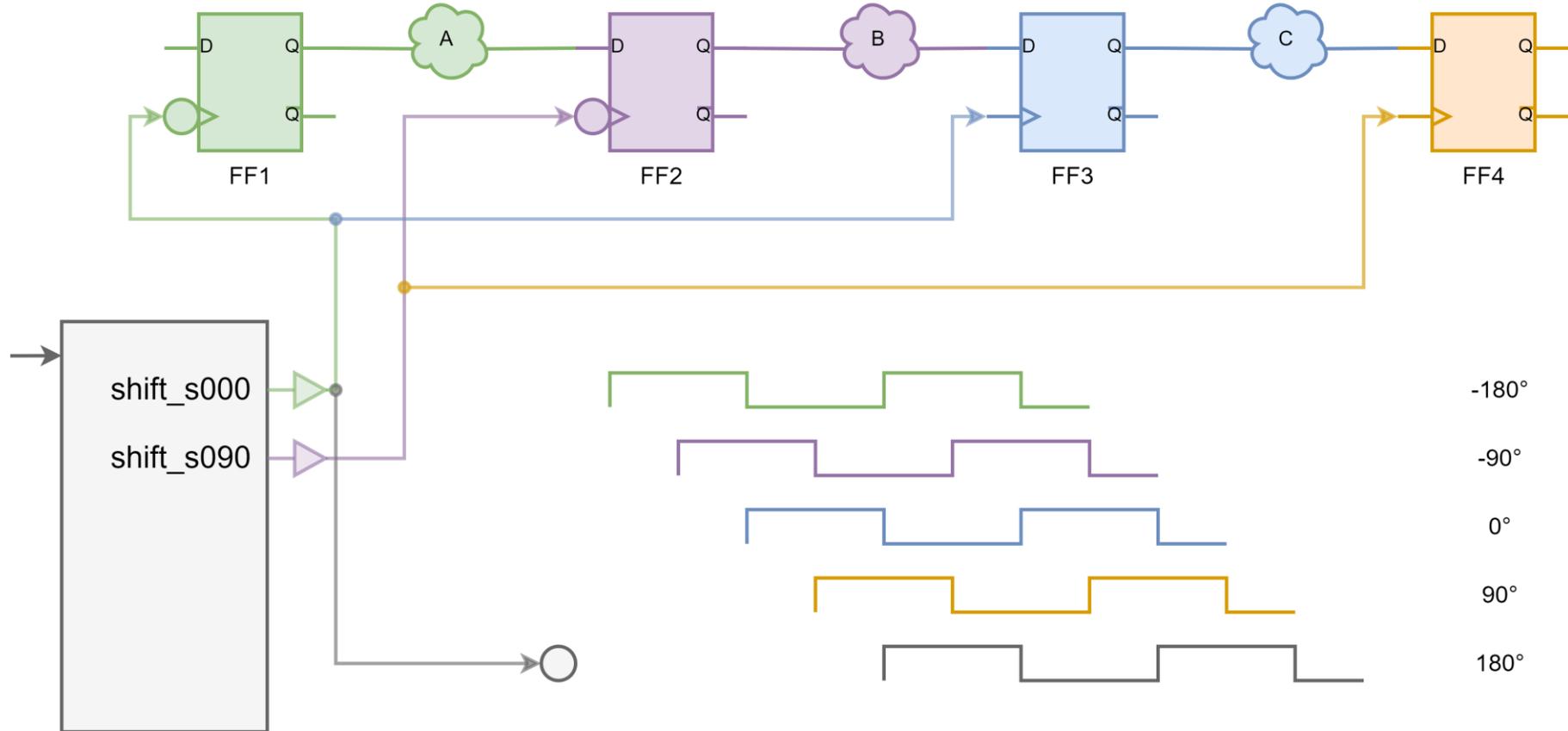
```
set_clock_latency -clock sclk_n0180 \  
  -source \  
  -2.5 \  
  [get_pins clocks_inst/BUFG_inst0/0]  
  
set_clock_latency -clock sclk_p0000 \  
  -source \  
  0.0 \  
  [get_pins clocks_inst/BUFG_inst0/0]  
  
set_clock_latency -clock sclk_p0180 \  
  -source \  
  2.5 \  
  [get_pins clocks_inst/BUFG_inst0/0]
```

set_multicycle_path

```
set_multicycle_path 9999 \  
  -from [get_clocks *_*]  
set_multicycle_path 9999 \  
  -to [get_clocks *_*]  
  
set_multicycle_path 1 -setup \  
  -from [get_clocks {*_n0180}] \  
  -to [get_clocks {*_n0180}]  
  
set_multicycle_path 2 -setup \  
  -from [get_clocks {*_p0000 original_clock}] \  
  -to [get_clocks {*_p0180}]  
  
...
```



Extended Useful Skew: тактовое древо, шаг 90°



База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

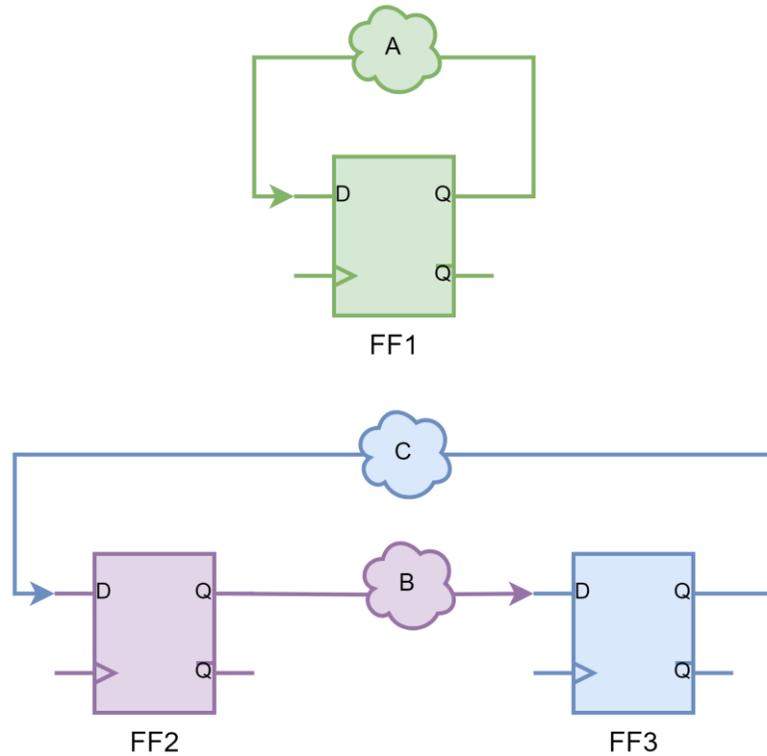
Контролируемое искажение тактового древа (Useful Skew)

Extended Useful Skew

Ограничения метода

Пример применения

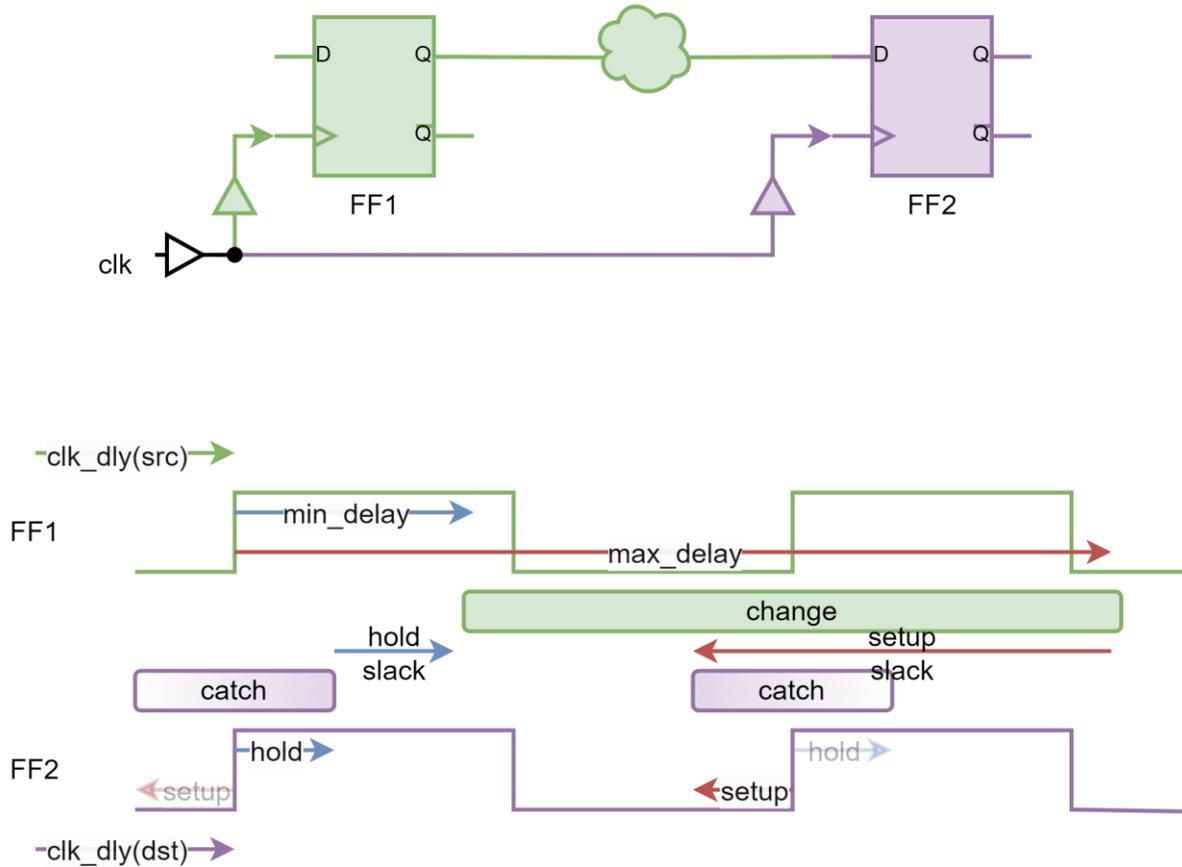
Ограничение: сумма запасов



- Сумма всех slack положительная на всем пути компенсации. Яркий пример: "кольцо" (обратная связь глубины N)

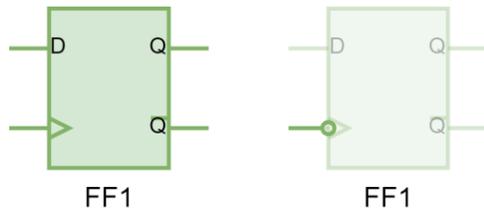


Ограничение: окно изменений



- Сумма всех slack положительная на всем пути компенсации. Яркий пример: "кольцо" (обратная связь глубины N)
- Окно изменений, по одному и тому же пути, меньше периода

Ограничение: инверсный пин



- Сумма всех slack положительная на всем пути компенсации. Яркий пример: "кольцо" (обратная связь глубины N)
- Окно изменений, по одному и тому же пути, меньше периода
- Инверсный вход регистра (без него вариативность метода упадет)

Ограничения:



- Сумма всех slack положительная на всем пути компенсации. Яркий пример: "кольцо" (обратная связь глубины N)
- Окно изменений, по одному и тому же пути, меньше периода
- Инверсный вход регистра (без него вариативность метода упадет)

База статического временного анализа (STA)

Сбалансированное тактовое древо (Zero Skew Design)

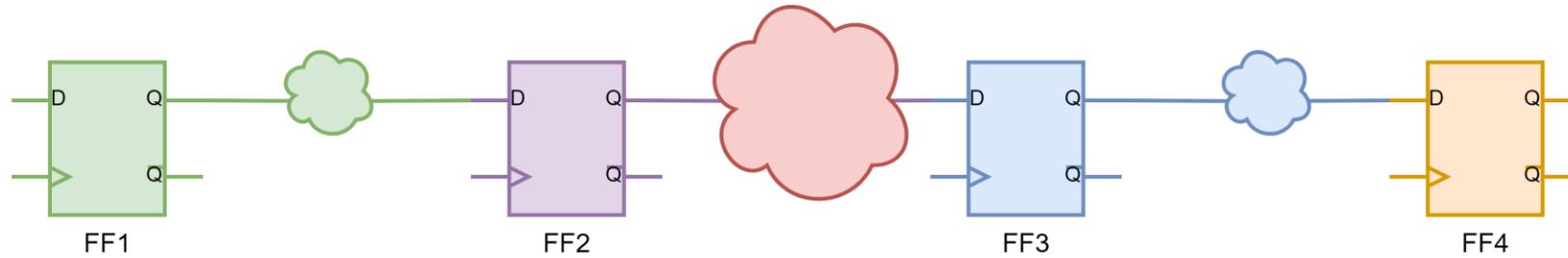
Контролируемое искажение тактового древа (Useful Skew)

Extended Useful Skew

Ограничения метода

Пример применения

Простой пример: дизайн





Простой пример: скрипт

```
read_checkpoint ./syn.dcp -force
```

```
tardil::shift -allow_create_clock \  
  -clock_shift_step 180 \  
  [get_pins ${target_cell}/C]  
tardil::generate_with_multicycle \  
  ./generated_for_multicycle.tcl
```

```
close_design
```

```
read_checkpoint ./syn.dcp
```

```
link_design
```

```
read_xdc ./generated_for_multicycle.tcl
```

```
...
```

```
read_checkpoint ./syn.dcp -force
```

```
tardil::resolve  
tardil::generate_with_multicycle \  
  ./generated_for_multicycle.tcl
```

```
close_design
```

```
read_checkpoint ./syn.dcp
```

```
link_design
```

```
read_xdc ./generated_for_multicycle.tcl
```

```
place_design
```

```
phys_opt_design -directive ExploreWithHoldFix
```

```
...
```

Простой пример:



Vivado 2024.1.2

SYNTHESIZED DESIGN - xc7k325tffg676-2

Device x Histogram - timing_2 x Histogram - timing_6

Endpoint Max Slacks (ns)

Name	Slack	Type	Group	Corner	Source Clock	Destination
i_dp_1/genblk1[0].register_i/q_reg/D	-4.758	Cell Pin	original_clock	Slow	original_clock (rising)	original_c
out	2.491	I/O Port	original_clock	Slow	original_clock (rising)	original_c
i_dp_0/genblk1[1].register_i/q_reg/D	2.754	Cell Pin	original_clock	Slow	original_clock (rising)	original_c
i_dp_0/genblk1[1].register_i/a_reg/D	2.754	Cell Pin	original_clock	Slow	original_clock (rising)	original_c

Tcl Console Messages Timing x

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -4.758 ns	Worst Hold Slack (WHS): -0.347 ns	Worst Pulse Width Slack (WPS): -0.347 ns
Total Negative Slack (TNS): -4.758 ns	Total Hold Slack (THS): -0.376 ns	Total Pulse Width Negative Slack (TPWS): -0.376 ns
Number of Failing Endpoints: 1	Number of Failing Endpoints: 2	Number of Failing Endpoints: 1
Total Number of Endpoints: 45	Total Number of Endpoints: 45	Total Number of Endpoints: 45

Timing constraints are not met.

Timing Summary - timing_1

Vivado 2024.1.2

SYNTHESIZED DESIGN * - xc7k325tffg676-2

Device x Histogram - timing_3 x Histogram - timing_6

Endpoint Max Slacks (ns)

Name	Slack	Type	Group	Corner	Source Clock	Destination
i_dp_1/genblk1[0].register_i/q_reg/D	0.242	Cell Pin	original_clock_tardil_p0180	Slow	original_clock_tardil_n0180	original_c
i_dp_0/genblk1[0].register_i/q_reg/D	0.295	Cell Pin	original_clock_tardil_n0180	Slow	original_clock (rising)	original_c
i_dp_0/genblk1[0].register_i/q_reg/CLR	0.903	Cell Pin	**async_default**	Slow	original_clock_tardil_p0001	original_c
i_dp_0/genblk1[1].register_i/a_reg/CLR	0.003	Cell Pin	**async_default**	Slow	original_clock_tardil_n0001	original_c

Tcl Console Messages Timing x

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.242 ns	Worst Hold Slack (WHS): -2.012 ns	Worst Pulse Width Slack (WPS): -2.012 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): -2.608 ns	Total Pulse Width Negative Slack (TPWS): -2.608 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 4	Number of Failing Endpoints: 1
Total Number of Endpoints: 45	Total Number of Endpoints: 45	Total Number of Endpoints: 45

Timing constraints are not met.

Timing Summary - timing_1 x Timing Summary - timing_2 x



Результаты применения метода:

Плюсы:

- Увеличение максимально возможной частоты
- Увеличение стабильности работы изделия
- Увеличение вероятности имплементации
- Увеличение скорости имплементации
- Увеличение температурного диапазона в котором изделие будет стабильно работать
- Увеличили вероятность имплементации сложных дизайнов, которые не имплементируемы в рамках стандартного FPGA flow, без изменения HDL.

Минусы:

- Вероятно слишком много тактовых линий
- Отсутствуют инструменты



В итоге: расширили традиционный метод

- Увеличили диапазон возможных сдвигов фаз тактовых сигналов. Для ASIC можно комбинировать вместе с традиционным методом.
- Сократили количество используемых элементов задержки (clk buf)
- Увеличили применимость к FPGA
- Увеличили вероятность имплементации сложных дизайнов, которые не имплементируемы в рамках стандартного FPGA flow, без изменения HDL.

Спасибо!



Репозиторий TARDIL

Репозиторий содержит пример скрипта и пример простого дизайна.

github.com/GentleFly/tardil



Площадка для обсуждения

Тема на форуме:

electronix.ru/forum/topic/196913-useful-skew-bez-buferov-zaderzhki-v-linii-sinhronizatsii/